

Untersuchungen zum Konzept der
HADES Driftkammerauslese
und Test der TDC - Prototypkarte

Diplomarbeit

von

Jörn Wüstenfeld

Institut für Kernphysik
Johann Wolfgang Goethe-Universität
Frankfurt am Main

Durchgeführt bei der
Gesellschaft für Schwerionenforschung, Darmstadt

November 1997

Inhaltsverzeichnis

1	Einleitung	1
2	HADES, das Dileptonenspektrometer @ GSI	3
2.1	Konzept der Dileptonen-Identifikation	3
2.2	Das HADES - Triggerkonzept	4
2.3	Aufbau des Spektrometers	7
2.3.1	Magnet	7
2.3.2	Ringabbildender Čerenkov-Detektor (RICH)	8
2.3.3	Flugzeit - Wand (TOF)	9
2.3.4	Multiplizitätsdetektor (Shower)	9
2.4	Die Vieldraht - Driftkammern	9
2.4.1	Aufgabe	9
2.4.2	Aufbau	10
2.4.3	Funktionsweise	11
2.4.4	Bestimmung der Driftgeschwindigkeit	13
2.4.5	Entstehung der Trackinginformation	14
3	Auslesekonzept der Driftkammern	17
3.1	Die Datenraten	17
3.2	Das Konzept	18
3.3	Die Komponenten	21
3.3.1	Analogkarten (Daughterboards)	21
3.3.2	Digitalisierung (Motherboards)	22
3.3.3	Auslesesteuerungseinheit (RC)	22
3.3.4	Konzentrator (SAM)	23
3.3.5	Bustreiberkarte (DTR + DMA)	23
3.3.6	Detektortriggereinheit (DTU)	23
4	Realisierung des Konzeptes	25
4.1	Das Motherboard	25
4.1.1	Aufgabe des Motherboards	25
4.1.2	Aufbau des Motherboards	25
4.2	Plazierung der Front - End - Elektronik	27

4.2.1	Anordnung der Motherboards	27
4.2.2	Bus zur Auslesesteuerungseinheit	31
4.3	Kühlung der Komponenten	33
5	Der HADES TDC - Chip	35
5.1	Anforderungen an den TDC	35
5.2	Der funktionelle Aufbau	35
5.3	Das Meßprinzip	36
5.4	Die Rechnerschnittstelle	39
5.5	Die Betriebsmodi des TDC's	40
6	Tests des TDC	43
6.1	Problemstellung	43
6.2	Zu untersuchende Parameter	44
6.2.1	Zeitauflösung	44
6.2.2	Spannungsabhängigkeit	44
6.2.3	Temperaturverhalten	44
6.2.4	Differentielle Nichtlinearität	45
6.3	Experimenteller Aufbau	45
6.4	Initialisierungs- und Ausleseprogramm	47
6.5	Ergebnisse	48
6.5.1	Zeitauflösung	48
6.5.2	Spannungsabhängigkeit	49
6.5.3	Temperaturverhalten	49
6.6	Diskussion	50
6.6.1	Experimenteller Aufbau	50
6.6.2	Zeitauflösung	52
6.6.3	Spannungsabhängigkeit	54
6.6.4	Temperaturverhalten	56
7	Zusammenfassung und Ausblick	59
A	Anmerkungen zur Physik des Halbleiters	61
B	Kommandos der Prototyp Auslesesteuerungseinheit	65
C	Klassenbibliothek für die TDC - Tests	67
C.1	Problemstellung	67
C.2	Realisierung	68
D	Initialisierungsregister des TDC's	71

Abbildungsverzeichnis

2.1	Schnitt durch HADES	5
2.2	Feldverteilung im HADES-Toroid	8
2.3	Aufbau einer Driftzelle	10
2.4	Driftkammeraufbau Ebene II	11
2.5	Driftkammersignal	12
2.6	Ankunftszeitverteilung	15
2.7	Feldverlauf in einer Driftzelle	16
2.8	Teilchenspur in der Nähe eines Signaldrahtes	16
3.1	Prinzip der Driftkammerauslese	19
4.1	Anordnung der Motherboards auf dem Detektor	28
4.2	Seitenansicht Driftkammerebene I	29
4.3	Auslesezonen der Driftkammern	30
4.4	Bussysteme eines Driftkammermodul	32
4.5	Busauslastung Driftkammerebene I	33
4.6	Busauslastung Driftkammerebene II	34
5.1	Blockschaltbild des TDC	37
5.2	Schaltbild des TDC Meßkreises	38
5.3	Blockschaltbild der TDC - Rechnerschnittstelle	39
5.4	Blockschaltbild TDC - Kette	40
5.5	Zeitdiagramm der TDC Initialisierung	41
6.1	Differentielle Nichtlinearität	46
6.2	Testaufbau	47
6.3	Interne Kalibrierung	49
6.4	Zeitauflösung außerhalb des Spill	50
6.5	Zeitauflösung im Spill	51
6.6	Spannungsabhängigkeit für 300 ns Verzögerung	52
6.7	Spannungsabhängigkeit für 900 ns Verzögerung	53
6.8	Temperaturverhalten in einer Langzeitmessung	54
6.9	Temperaturabhängigkeit der Meßwerte	55
6.10	Relative Temperaturabhängigkeit	56

A.1	Prinzip des Aufbau eines bipolaren Transistors	62
A.2	Betrieb eines Transistors	63
A.3	Prinzipschaltbild eines Inverters	63

Tabellenverzeichnis

2.1	Anzahl der Signaldrähte	11
3.1	Parameter der Analogkarten	21
4.1	Drahtanzahl pro Driftkammermodul	31
5.1	TDC Spezifikationen	36
B.1	Adressen der B2SIT Karte	66
B.2	Kontrollregister B2SIT	66
C.1	Klassen des TDC Testprogramms	69
D.1	TDC - Steuerregister 0 und 1	72
D.2	TDC - Steuerregister 2 und 3	72

Kapitel 1

Einleitung

Das Dileptonen-Spektrometer HADES (**H**igh **A**cceptance **D**i-**E**lectron Spektrometer) wurde zum Nachweis von Elektron-Positron Paaren (Di-Leptonen) aus Kern-Kern-Stößen bei Einschubenergien um 1 AGeV konzipiert. Untersucht werden sollen die Eigenschaften von Hadronen bei Dichten, die das Dreifache der normalen Kerndichte erreichen können. Als Spektrometer der zweiten Generation konzipiert, sollen mit ihm auch die Messungen des Di-Leptonen Spektrometers (DLS) am BEVALAC (Berkley, USA) durch Messungen mit hoher Präzision erweitert werden. Daneben sollen auch Meson-Kern Stoßsysteme, z.B. π -Kern und Proton-Kern Stoßsysteme untersucht werden. Dies wird durch die Nutzung des π -Strahls möglich.

Die DLS Messungen ergaben, bedingt durch die eingeschränkte Akzeptanz und Massenauflösung, nur bei leichten Stoßsystemen Spektren von e^+e^- -Paaren mit hinreichender Statistik. Die geometrische Akzeptanz für e^+e^- -Paare von HADES wird mit 35% das Hundertfache der Akzeptanz des DLS betragen. Die Polarwinkelakzeptanz von HADES reicht von 18° bis 85° bei nahezu vollständiger Abdeckung des Azimutwinkelbereiches. Diese wird durch den Raumbereich, den die Spulen des Magneten einnehmen, beschränkt.

Zudem besitzt HADES mit einer angestrebten Massenauflösung von weniger als 1% im Massenbereich des ω -Mesons gegenüber DLS (12%) eine deutlich bessere Möglichkeit zur Identifizierung schmaler Resonanzen und insbesondere zur Trennung der e^+e^- Beiträge von ρ - und ω -Mesonen.

Zur Untersuchung der Eigenschaften heißer Kernmaterie eignen sich Dielektronen besonders, da sie nicht der starken Wechselwirkung unterliegen. Dadurch bleibt die Information über ihre Entstehung vollständig erhalten. Dies ist insbesondere dann vorteilhaft, wenn das Teilchen, aus dessen Zerfall sie stammen, noch in der Kollisionszone hoher Dichte und Temperatur, die auch als Feuerball bezeichnet wird, zerfällt. Dieser Feuerball zeichnet sich bei GSI Einschubenergien durch eine im Vergleich zum Grundzustand der Kernmaterie hohe Energiedichte aus.

Sind Dichte und Temperatur hoch genug, so sollte im Rahmen der Theorie der QCD¹ die chirale Symmetrie teilweise wieder hergestellt werden. Verschiedene theoretische Modelle sagen für den Fall der Wiederherstellung der chiralen Symmetrie signifikante Änderungen der Vektormesoneneigenschaften, insbesondere von ρ und ω , voraus. HADES ist so konzipiert, daß es eine eventuelle Änderung der Mesonenmasse nachweisen kann.

In zentralen 1 AGeV Au + Au Kollisionen wird eine Produktionswahrscheinlichkeit für Dielektronen aus dem Massenbereich der ρ - und ω - Vektormesonen von nur etwa $3 \cdot 10^{-6}$ erwartet ([Win93],[Wol93]). Um trotzdem zu ausreichender Statistik zu kommen, muß die Kollisionsrate 10^8 pro Sekunde betragen denn nur etwa jede zehnte Kollision ist als zentral anzusehen ($b < 3$ fm), sodaß im gesamten Raumwinkel etwa 18 Dielektronen pro Minute zu erwarten sind. Um diese geringe Anzahl von Dielektronen aus dem bei jeder Au + Au Kollision entstehenden hadronischen Untergrund von 170 Protonen und 20 geladenen Pionen herauszufiltern, werden sehr effiziente Methoden zur Hadronendiskriminierung benötigt.

Durch die hohen Kollisionsraten und den hohen Untergrundanteil in den Daten werden sehr hohe Anforderungen an das Triggerkonzept gestellt. Selbst bei der Beschränkung auf zentrale Stöße gibt es noch alle $10 \mu\text{s}$ ein Ereignis. Im Abschnitt 3.1 werden die erwarteten Datenraten der Driftkammern dargelegt.

Die Ausleseelektronik im HADES-System ist daher so konzipiert, daß eine Auslese aller aktiven Kanäle in weniger als $10 \mu\text{s}$ erreichbar wird. Dies führt zu einer primären Datenrate von etwa 3 Gigabyte pro Sekunde. Durch zwei zusätzliche Triggerstufen muß die Datenmenge weiter reduziert werden, indem nur Ereignisse mit vollständig identifizierten Leptonenspuren akzeptiert werden (siehe Abschnitt 2.2).

Um diese Anforderungen für die zur Spurverfolgung aller geladenen Teilchen eingesetzten Driftkammern zu realisieren, wurde eine mehrere Komponenten umfassende spezifische Ausleseelektronik entworfen. Im Rahmen dieser Arbeit wird dieses Ausleseelement vorgestellt (siehe Kapitel 3) und spezielle Aspekte, wie die Segmentierung der Komponenten zur Optimierung der Auslesegeschwindigkeit, diskutiert (siehe Kapitel 4.2). Der Schwerpunkt der Arbeit liegt im Aufbau eines Testsystems, mittels dessen der zur Digitalisierung der Driftzeitinformationen verwendete TDC getestet wurde. Dieser TDC² ist als kundenspezifischer, integrierter CMOS-Baustein realisiert und wird detailliert in Kapitel 5 vorgestellt. Durch Testmessungen wurde überprüft, ob die Prototypversionen dieser ASICs³ die Spezifikationen einhalten, alle Optionen funktionsfähig sind und die geforderte Auflösung erreicht wird. Die Ergebnisse dieser Testmessungen werden in Kapitel 6 zusammen mit dem Testaufbau vorgestellt.

Eine Bewertung der Testergebnisse, sowie ein Ausblick folgen in Kapitel 7.

¹Quanten Chromo Dynamik

²Time to Digital Converter

³Application Specific Integrated Circuit

Kapitel 2

HADES, das zukünftige Dileptonenspektrometer an der GSI

2.1 Konzept der Dileptonen - Identifikation

Beim Zweikörperzerfall eines im Labor ruhenden Teilchens werden die Zerfallsprodukte unter 180° emittiert. Bewegt sich das zerfallende Teilchen jedoch, so erhalten die Zerfallsprodukte eine Geschwindigkeitskomponente in derselben Richtung wie die Bewegung des zerfallenden Teilchens. Es ist daher ausreichend, wenn das Detektorsystem so konzipiert ist, daß es im wesentlichen den Vorwärtswinkelbereich abdeckt. Der Akzeptanzbereich des Spektrometers erstreckt sich von 18° relativ zur Strahlachse bis hin zu 85° .

Der entscheidende Designaspekt des Spektrometers ist die Identifizierung von Elektronen und Positronen in einem Untergrund von Hadronen mit hoher Multiplizität. Damit dies bereits auf Triggerniveau erreicht werden kann, werden verschiedene Detektorsysteme benutzt. Um eine Unterscheidung zwischen e^+ und e^- vornehmen zu können und insbesondere deren Impuls zu bestimmen, ist eine Spurverfolgung durch ein Magnetfeld nötig. Bei HADES werden hierfür ein toroidales Magnetfeld (vgl. 2.3.1) und vier Ebenen von Driftkammern eingesetzt. Da je zwei Ebenen von Spurkammern vor und hinter dem Magneten verwendet werden, kann die Spurinformaton zuverlässiger mit den Signalen in RICH¹ und META² koordiniert werden. Abbildung 2.1 zeigt einen Schnitt durch das HADES Detektor System. Zum besseren Verständnis sind die Spuren eines Leptonenpaares gezeigt, die von dem System eindeutig identifiziert wurden.

¹Ring Imaging Čherenkove Detektor

²Multiplicity Electron Trigger Array

Im folgenden soll das Triggerkonzept vorgestellt werden, da es einen starken Einfluß auf die Auslegung der Ausleseelektronik hat. Danach wird die Funktionsweise der einzelnen Komponenten kurz diskutiert, wobei der Schwerpunkt auf der Datenauslese der Driftkammern gelegt ist.

2.2 Das HADES - Triggerkonzept

Aufgabe des HADES - Triggersystems ist die Identifikation von Ereignissen mit Dielektronen. Dazu muß es in der Lage sein, die Signale der Detektoren nach den seltenen Dielektronen zu durchsuchen.

Neben den seltenen Ereignissen, nach denen gesucht wird, gibt es generell in kernphysikalischen Experimenten immer auch Ereignisse, die keinen Beitrag zur untersuchten Physik liefern. Es ist die Hauptaufgabe des Triggers solche Ereignisse herauszufiltern. Während bei kleinen Experimenten in der Regel eine einfache Triggerlogik (Koinzidenz zwischen zwei Detektoren etc.) ausreicht, erfordern die Gegebenheiten bei HADES ein deutlich umfangreicheres Konzept.

Drei Triggerstufen sind nötig bis der Datenstrom nur noch die Ereignisse enthält, die zur Klärung der zu untersuchenden Physik bei HADES beitragen. Jede Triggerstufe bezieht neben den Informationen aus der vorangegangenen noch einen weiteren Detektor mit ein.

Erste Triggerstufe:

In dieser findet über die Untersuchung der Teilchenmultiplizität³ eine Selektion auf zentrale Stöße statt. Wenn die Teilchenmultiplizität eine bestimmte Schwelle überschreitet, ist das Ereignis als zentral anzusehen. Durch diese Selektion wird die Ereignisrate um einen Faktor zehn reduziert. Als Detektoren zum Erfassen der Teilchenmultiplizität dienen der Schauerdetektor und TOF⁴, die beiden Komponenten des META-Systems.

Zweite Triggerstufe:

In einem ringabbildenden Čerenkov-Zähler erzeugen die mit hohem γ propagierenden Leptonen⁵ Ringe, wobei der Detektor gegen Hadronen blind ist.

³Die folgenden Überlegungen gelten für einen Au + Au Stoß. Bei hadroneninduzierten Reaktionen (π -Strahl) werden selektive Reaktionstrigger verwendet.

⁴Time of Flight

⁵Im folgenden wird der Begriff Leptonen verwendet, um in Einschränkung seiner Bedeutung Elektronen und Positronen zu bezeichnen.

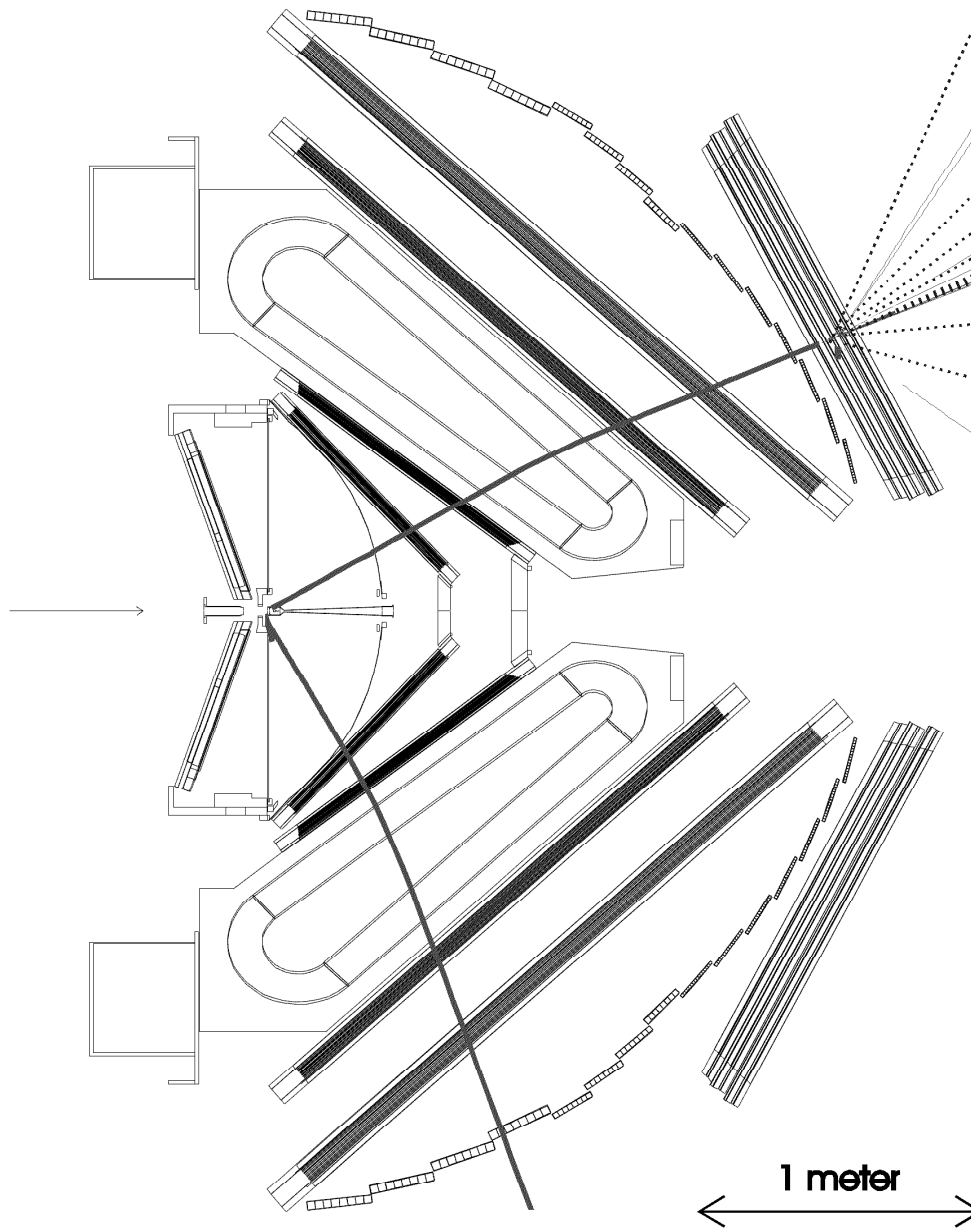


Abbildung 2.1: Schnitt durch HADES. Dargestellt sind alle Detektoren und die Magnetspulen. Der Übersichtlichkeit halber ist die Tragkonstruktion weggelassen. Aus [Sch95]

Werden in einem Ereignis zwei solcher Ringe beobachtet, so müssen auch im äußersten Detektorsystem META zwei Leptonenereignisse signalisiert werden. Im Winkelbereich oberhalb von 45° geschieht die Erkennung von Leptonen über die Flugzeit der Teilchen durch deren Nachweis in einem Szintillationszähler. Unterhalb dieses Winkels können hierdurch Leptonen nicht hinreichend gut gegen schnelle Pionen diskriminiert werden und der Nachweis erfolgt daher über die Ausbildung eines charakteristischen elektromagnetischen Schauers in einem speziell hierfür entwickelten Detektor. Dadurch wird eine Reduktion der Ereignisrate um einen Faktor 100 erreicht.

Dritte Triggerstufe:

Zum Schluß werden auch noch die Daten der Driftkammern (siehe Abschnitt 2.4) in die Triggerentscheidung mit einbezogen. Aus diesen läßt sich eine Aussage über Impuls, Ladung und Entstehungsort des Teilchens erhalten. In dieser dritten Triggerstufe wird nach Korrelationen aus Treffern in den Driftkammern mit Ereignissen im Schauerdetektor und Ringen im RICH - Detektor gesucht. Dadurch werden zufällige Koinzidenzen gegenüber tatsächlichen Korrelationen unterdrückt. Diese Triggerstufe liefert nochmals eine Reduktion der Triggerrate um einen Faktor 10.

Damit die Triggerlogik genug Zeit hat, die Daten zu bearbeiten, müssen diese zwischengespeichert werden. Dies geschieht in sogenannten Pipes. Diese können entweder mit normalen RAM⁶ Speicherbausteinen oder mit FIFO's⁷ realisiert werden. Im Rahmen des HADES Triggerkonzeptes werden zwei Pipes benötigt. Die erste speichert die Daten nach der ersten Triggerentscheidung. Die Größe dieser Pipe muß so gewählt werden, daß sie alle Ereignisse aufnehmen kann, die eintreffen bis die zweite Triggerstufe ihre Entscheidung getroffen hat.

Die zweite Pipe speichert die Ereignisse, die von der zweiten Triggerstufe als gültig erkannt wurden. Die Größe der Pipe wird durch die Anzahl der Ereignisse, die bis zur dritten Triggerentscheidung eintreffen, bestimmt.

Die Verteilung der Triggersignale geschieht über den HADES - Triggerbus [Kas96]. An diesen sind die zentrale Triggereinheit (CTU⁸), die alle Triggerentscheidungen der verschiedenen Verarbeitungsstufen entgegennimmt, und die Detektortriggereinheiten (DTU⁹) angeschlossen. Die Detektortriggereinheit empfängt von der zentralen Triggereinheit die Triggersignale über den Triggerbus. Damit ist sicher-

⁶Random Access Memory

⁷FIFO = First In, First Out; Speicher, der nicht frei adressiert werden kann, sondern bei lesendem Zugriff immer das am längsten gespeicherte Datum liefert.

⁸Central Trigger Unit

⁹Detector Trigger Unit

gestellt, daß alle Detektorsysteme die Triggersignale zur gleichen Zeit empfangen. Die einzelnen Detektortriggereinheiten signalisieren über die „Busy“ („beschäftigt“)-Leitung der zentralen Triggereinheit, ob sie bereit sind, weitere Trigger entgegenzunehmen. Über den Detektortriggerbus leitet die Detektortriggereinheit die Triggerinformationen weiter an die einzelnen Module der Detektorelektronik.

2.3 Aufbau des Spektrometers

2.3.1 Magnet

Das erforderliche toroidale Magnetfeld wird durch sechs supraleitende Feldspulen erzeugt. Zwei dieser Spulen sind in Abbildung 2.1 zusammen mit den Umrissen der Spulenkästen eingezeichnet. Jede dieser Spulen besteht aus zwei geraden Teilstücken, deren Verbindung über Kreisbögen hergestellt wird. Die Feldspulen bilden die Grenzen zwischen den sechs Segmenten des HADES - Systems. Da sie die azimutale Akzeptanz des Spektrometers einschränken, muß ihre Dicke so gering wie möglich gehalten werden. Ihre Breite definiert den Raum, der zum Unterbringen von Elektronik und Kabeln zur Verfügung steht (vgl. Kapitel 4.2). Der Magnet muß hauptsächlich zwei Rahmenbedingungen erfüllen. Zum einen muß der Bereich, in dem sich der RICH befindet, nahezu feldfrei gehalten werden. Zum anderen muß die transversale Ablenkung der Teilchen stark genug sein, um ihren Impuls mit ausreichender Genauigkeit auflösen zu können ($\delta p/p = 1\% - 1.5\%$). Dazu ist eine maximale Feldstärke von 0,5 T nötig.

Beide Bedingungen werden von einem toroidalen Magnetfeld, das von supraleitenden Feldspulen erzeugt wird, erfüllt. Durch den Einsatz von Supraleitern (Zusammensetzung AlCu:NbTi = 10:1 und Al:Cu(NbTi) = 3:1) für die Magnetspulen reduziert sich die effektive Dichte x/X_0 für geladene Teilchen, da die Spulen sehr kompakt gebaut werden können. Bei einer mittleren Stromdichte von 100 - 120 A/mm² beträgt die im Feld gespeicherte Energie etwa 1,4 MJ bei einem totalen Strom durch die Spulen von $4,85 \cdot 10^5 A \cdot N$ ($N =$ Windungszahl). Um diese Energie im Falle eines Feldzusammenbruchs abführen zu können, ist dem Spulenmaterial der hohe Anteil an Normalleitern zugesetzt. Es wird dabei mehr Al verwendet, da dessen Strahlungslänge um einen Faktor sechs höher ist als die von Cu, und dadurch weniger zum Untergrund beiträgt.

Abbildung 2.2 zeigt den Feldverlauf, der durch die HADES Magnetspulen erzeugt wird als Ergebnis einer Simulation. Nach Aufbau der Spulen wird das Feld detailliert vermessen, da die Information über den Feldverlauf zur Kalibrierung der Daten benötigt wird.

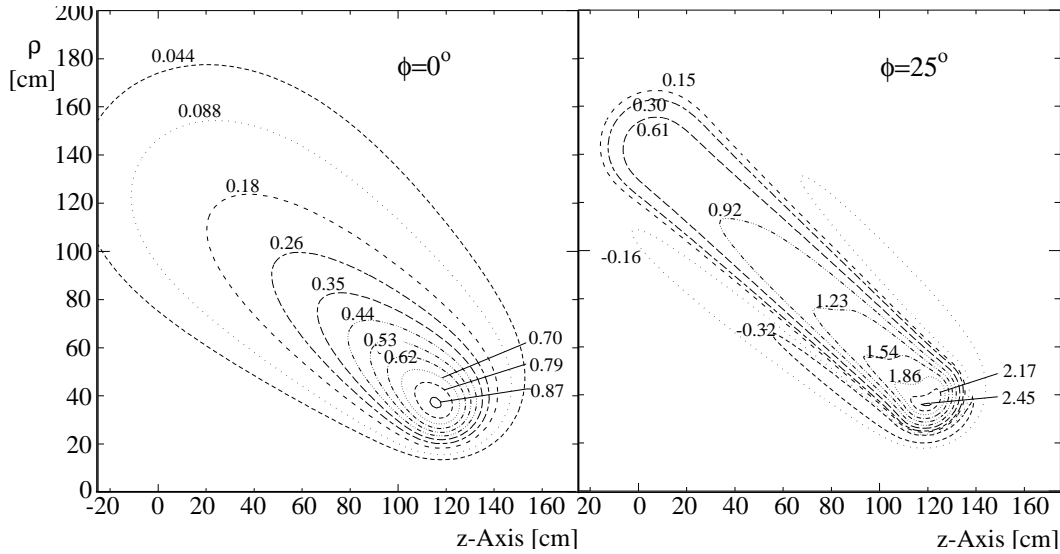


Abbildung 2.2: *Simulierte Feldverteilung im HADES-Toroid in der Ebene der Koordinaten z und ρ , die entlang (z) senkrecht (ρ) zur Spektrometerachse definiert sind.*

Links : *Mitte eines Segments ($\Theta = 0^\circ$).* **Rechts:** *In Spulennähe ($\Theta = 25^\circ$). Die Spule befindet sich bei $\Theta = 30^\circ$. Die Feldstärke ist in Tesla angegeben. Aus [Sch95]*

2.3.2 Ringabbildender Čerenkov - Detektor (RICH)

In einem ortsempfindlichen Čerenkov - Detektor mit C_4F_{10} als Radiatorgas, in dem nur Leptonen Čerenkov - Licht¹⁰ aussenden, können diese bei einem Untergrund von 170 Protonen und 20 geladenen Pionen identifiziert werden. Über einen sphärischen Spiegel wird das entstandene Čerenkov - Licht in den Photonen - Detektor reflektiert. Als Photokathode wird CsI verwendet. Zum Trennen von Radiator - und Zählgas dient ein CaF_2 Fenster, das auch als Photonenkonverter dient. Die Ortsempfindlichkeit des Photonendetektors beruht auf der Pad - Struktur der Photokathode. Diese erlaubt eine theoretische Winkelauflösung von 2,3 mrad sowohl in azimuthaler als auch in polarer Richtung unter Vernachlässigung der Einflüsse der Vielfachstreuung [Sch95].

Durch die Abbildungseigenschaften des Spiegels werden die Photonen des Čerenkov - Kegels als Ringe auf die Photokathode abgebildet. Durch Leptonenpaare mit kleinen Öffnungswinkeln, die vorzugsweise bei der externen Paarerzeugung und beim Dalitz - Zerfall des π^0 Mesons auftreten, entstehen Doppelringe. Die Ausleseelektronik sucht in den Daten nach Ringmustern. Dabei werden die Doppelringe gesondert behandelt.

¹⁰Čerenkov - Licht entsteht beim Durchflug eines Teilchens durch Materie, wenn die kinetische Energie des Teilchens größer ist als die Lichtgeschwindigkeit in der Materie.

2.3.3 Flugzeit - Wand (TOF)

Zur Messung der Flugzeit der Dielektronen werden organische Szintillatormaterialien eingesetzt. Ein Detektorsegment besteht aus parallelen Szintillatorstäben, deren Querschnitt mit zunehmendem polarem Winkel in Anpassung an die abnehmende Multiplizität größer wird. Sie werden an beiden Enden durch Sekundärelektronenvervielfacher ausgelesen. Die Ortsauflösung in polarer Richtung wird durch die Segmentierung der Szintillatoren erreicht. Die Laufzeitunterschiede der Signale zu den beiden Enden der Szintillatoren liefern eine Information über die azimutale Position des durchgeflogenen Teilchens.

2.3.4 Multiplizitätsdetektor (Shower)

Der Schauerdetektor besteht aus drei Drahtkammern mit je einer Ebene von Signaldrähten. Zwischen diesen Drahtkammern befindet sich je eine Bleiplatte von 12 mm Dicke, die als Konverter dient. Ein Lepton löst beim Durchflug durch diesen einen elektromagnetischen Schauer von Sekundärelektronen aus, die in der nachfolgenden Drahtkammer eine größere Anzahl von Signaldrähten aktivieren. Durch Berechnung des Ladungsschwerpunktes eines Schauers kann man den Ort des Durchflugs des Teilchens bestimmen. Hadronen hingegen erzeugen durch starke Wechselwirkung nur Schauer mit vergleichsweise geringer Multiplizität. Durch Begutachtung der Schauercharakteristik können so Leptonen von Hadronen unterschieden werden. Die Dicke des Konverters ist so gewählt, daß Teilchen von wenigen 100 MeV einen Schauer mit ausreichender Statistik bilden.

2.4 Die Vieldraht - Driftkammern

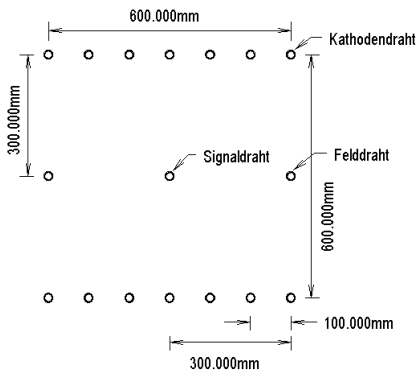
2.4.1 Aufgabe

Aufgabe der Driftkammern ist die Verfolgung der Spuren aller geladenen Teilchen. Da jeweils zwei Positionsbestimmungen vor und hinter dem Magnetfeld stattfinden, läßt sich die Ablenkung eines Teilchens einfach berechnen zu:

$$B \cdot \rho = \frac{p}{q} \quad (2.1)$$

mit B = Fluß, ρ = Radius der Krümmung, p = Impuls und q = Ladung. Aus der Ablenkung ergibt sich bei bekannter Ladung der Impuls. Um die Massenauflösung von kleiner als 1% zu erreichen muß die Genauigkeit der Positionsbestimmung im Bereich von 100 μm liegen [Sch95].

Weiterhin werden beim Bau der Driftkammern soweit als möglich Materialien mit kleiner Ordnungszahl verwendet. Dadurch wird verhindert, daß die Trajektorie durch Vielfachstreuung modifiziert wird und damit die Impulsbestimmung leidet.

Abbildung 2.3: *Aufbau einer Driftzelle.*

Um auch bei Vielfachstreuung in einer Kammer die eindeutige Rekonstruktion der Durchtrittsorte zu ermöglichen, werden pro Kammer insgesamt sechs Ebenen von Driftzellen verwendet und die Größe der Zellen so gewählt, daß Doppeltreffer in einer Zelle eine Wahrscheinlichkeit von 35 % haben.

2.4.2 Aufbau

Den Aufbau einer Driftzelle zeigt Abbildung 2.3. Jede Driftzelle besteht aus dem Signaldraht, den beiden parallel dazu verlaufenden Felddrähten im Abstand einer halben Zellgröße und den beiden Ebenen von Kathodendrähten. Die HADES-Driftkammern besitzen sechs Ebenen Driftzellen. Die Signaldrähte sind unter fünf verschiedenen Winkeln angeordnet (Abbildung 2.4), sodaß die Ortsauflösung in Richtung der Ablenkung etwa einen Faktor 2 genauer ist als in azimuthaler Richtung. Die Größe der Driftzellen nimmt von Ebene I bis Ebene IV zu um die Granularität in allen Ebenen konstant zu halten. Bei Ebene I beträgt sie 5 mm, bei Ebene IV 14 mm. Die Drahtabstände sind entsprechend der nach außen abnehmenden Teilchenbelegungsichte so gewählt, daß die Doppeltrefferwahrscheinlichkeit für eine Zelle 35 % beträgt. Das aktive Volumen der Driftkammer bilden abwechselnde Lagen von Kathoden- und Signalebenen. Während in den Kathodenebenen die 80 μm dicken Aluminiumdrähte immer in y-Richtung verlaufen, bestehen die Lesebenen aus einer alternierenden Folge von Felddrähten (ebenfalls 80 μm Aluminium) sowie 80 μm dicken Signaldrähten aus Wolfram.

Das Gasvolumen der Kammer wird auf beiden Seiten von einer aluminisierten Kaptonfolie von 12 μm Dicke begrenzt. Als Zählgas wird eine Mischung von 70 % Helium mit 30 % Isobuthan verwendet.

Durch die unterschiedliche Geometrie der einzelnen Ebenen enthält jede eine unterschiedliche Anzahl an Signaldrähten. Diese sind in Tabelle 2.1 zusammengefaßt.

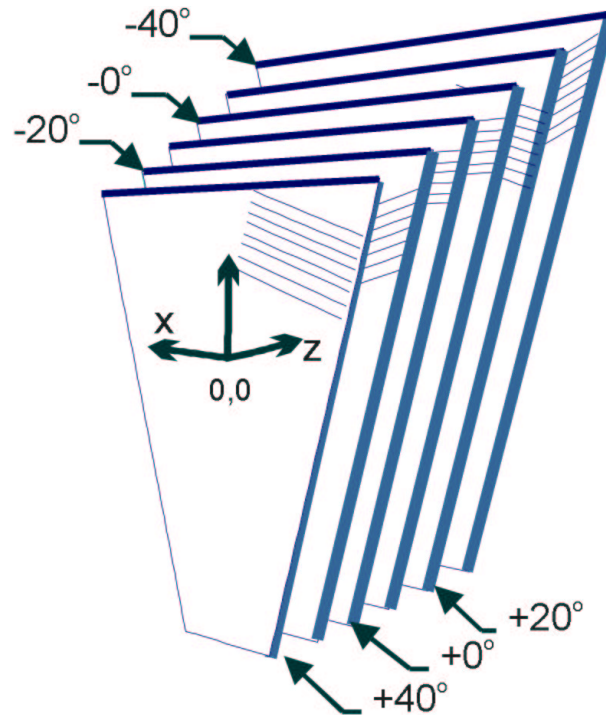


Abbildung 2.4: Aufbau der Driftkammern am Beispiel eines Moduls. Dargestellt ist die Anordnung der Zellebenen mit ihrer unterschiedlichen Orientierung der Drähte. Die Lage der Drähte ist nur angedeutet. Die z-Achse zeigt in Richtung der Teilchenflugbahn, die y-Achse in Richtung der prinzipiellen Ablenkung der Teilchen im Magnetfeld. Aus [Str97a]

2.4.3 Funktionsweise

Die Funktionsweise von Driftkammern entspricht im wesentlichen der von Proportionalzählrohren. Ein geladenes Teilchen erzeugt bei seinem Durchflug durch das Gasvolumen der Kammer durch Ionisation von Gasmolekülen freie Elektronen. Diese driften entlang der Feldlinien mit gleichbleibender Geschwindigkeit zum Anodendraht (Signaldraht) hin. Da aufgrund des kleinen Durchmessers des

Anzahl der Signaldrähte							
	+0°	-0°	+20°	-20°	+40°	-40°	Total
Modul 1	163	163	184	184	184	184	1062
Modul 2	166	164	185	185	184	184	1068

Tabelle 2.1: Anzahl der Signaldrähte pro Ebene für die Driftkammermodule I + II

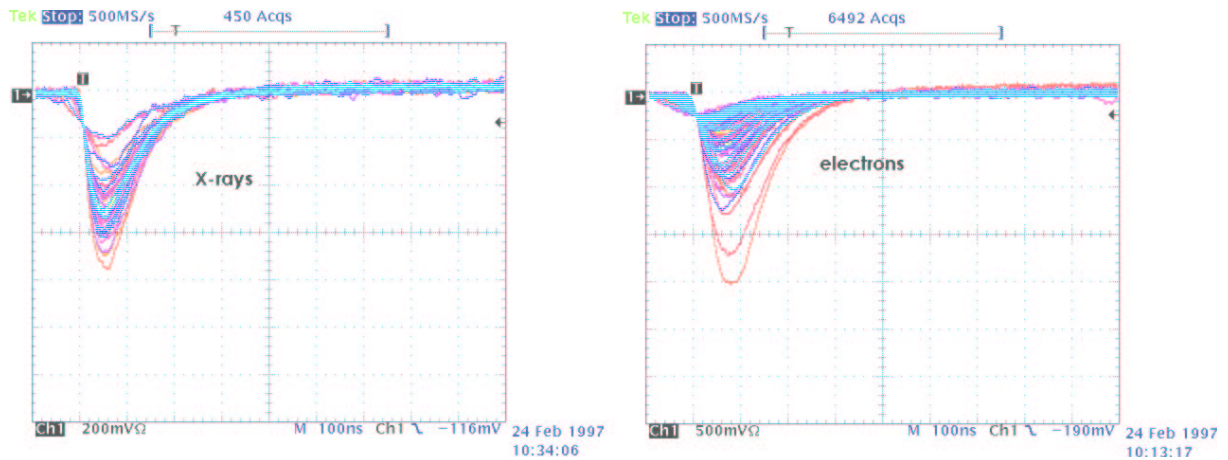


Abbildung 2.5: *Signal der Prototyp-1-Driftkammer. Das linke Teilbild zeigt das Signal einer Eisen-55-Quelle, das rechte Bild das einer Strontium-90-Quelle. Aufgenommen wurde das Signal, indem auf die fallende Flanke getriggert wurde.*

Signaldrahtes das Feld an der Oberfläche stark ansteigt, kommt es in seiner Nähe zu Gasverstärkung. Dabei werden die Elektronen so stark beschleunigt, daß weitere Gasmoleküle von den Elektronen durch Stoßprozesse ionisiert werden. Hierbei werden etwa 10^5 mal so viele freie Ladungsträger erzeugt, deren Driftbewegung dem Feld soviel Energie entzieht, daß im Vorverstärker ein meßbares Spannungssignal erzeugt wird. Abbildung 2.5 zeigt zwei Beispielsignale, wie sie von der Kammer geliefert werden. Um die in Abbildung 2.6 als Ergebnis einer GARFIELD¹¹ Simulation wiedergegebene Ankunftszeit der Primärladungen zu messen, benötigt man als Trigger den Zeitpunkt des Durchfluges des Teilchens durch die Zelle. Dieser wird aus einem speziellen Startzähler abgeleitet. Dabei kommt es auf ein stabiles Zeitverhalten dieses Signales an, da ansonsten die Messung der Driftzeit mit Fehlern behaftet ist.

Es zeigt sich, daß die Ankunftszeit der ersten Elektronen von der Durchflugsrichtung nahezu unabhängig ist. Abbildung 2.6 verdeutlicht dies. Es sind die Ankunftszeiten für vier verschiedene Winkel aufgetragen gegen die Entfernung vom Signaldraht. Wie die Abbildung zeigt, wächst die Ankunftszeit über einen weiten Entfernungsbereich zwischen Signal- und Felddraht linear. Lediglich in unmittelbarer Nähe von Signal und Felddraht liegt die Ankunftszeit über der anhand des linearen Verlauf erwarteten Zeit. Grund für diese Abweichung ist der Verlauf der Driftlinien. Diese sind durch die Geometrie des Feldes in der Driftzelle gegeben. Abbildung 2.7 zeigt die Äquipotentiallinien in einer Driftzelle. Für Teilchen, die in der Nähe von Signal- bzw. Felddraht durch die Driftzelle

¹¹Programm zur zweidimensionalen Simulation von Driftkammern. Teil der CERN Programmlibrary

fliegen, sind die Längen der Driftwege unterschiedlich, je nachdem an welchem Ort die Elektronen entstehen. Als Beispiel zeigt Abbildung 2.8 die Driftwege von Elektronen für eine Teilchenspur in der Nähe eines Signaldrahtes. Für Teilchen, deren Flugbahn um weniger als $\approx 15^\circ$ von der Senkrechten auf die Signaldrahtebene abweicht, kann angenommen werden, daß die Elektronen, die entlang einer Verbindungslinie zwischen Signal- und Felddraht gebildet werden, als erste am Signaldraht eintreffen. Für Teilchen, die unter einem größeren Winkel durch die Driftzelle fliegen, liefert die Driftzeit nur eine Angabe über eine radiale Entfernung vom Signaldraht. Durch Hinzuziehen von Informationen aus einer weiteren Driftzellebene kann ermittelt werden, unter welchem Winkel zur Signaldrahtebene das Teilchen durch die Zelle geflogen ist. In [Zen97] wurde gezeigt, daß über einen weiten Bereich der Driftzelle ein linearer Zusammenhang zwischen Ankunftszeit und Entfernung der Teilchenspur vom Signaldraht besteht. Da die Ionisation statistisch verteilt über die Spur auftritt, ergibt sich eine Variation in der Ankunftszeit für Teilchen mit gleicher Entfernung zum Signaldraht. Dies hat Einfluß auf die Ortsauflösung der Driftkammer.

In [Zen97] ist eine detaillierte Untersuchung der Ankunftszeit der Elektronen durchgeführt worden. [Wal93] gibt eine umfassende Darstellung der Driftkammerphysik. Informationen über den Betrieb von Driftkammern findet man auch in [Sau77].

2.4.4 Bestimmung der Driftgeschwindigkeit

Zur Bestimmung der Driftgeschwindigkeit benötigt man externe Referenzdetektoren. Dafür eignen sich zum Beispiel Silizium - Mikrostreifen - Detektoren (MSD). Bestimmt man mit diesen Detektoren jeweils vor und hinter der Driftkammer den Ort eines Teilchens, so kann man die Orte in den Referenzdetektoren miteinander korrelieren und erhält dadurch Trajektorien durch die Driftkammer. Durch Messen der Zeit, die zwischen dem Durchflug des Teilchens und dem Eintreffen der Elektronen am Signaldraht vergeht, kann man die Driftgeschwindigkeit bestimmen. Diese ist stark von der Zusammensetzung des Detektorgases abhängig. Sie ist für das in den HADES-Kammern verwendete Zählgas He-i-Buthan (70/30) in einem weiten Feldstärkebereich des Detektors konstant und beträgt $4 \text{ cm}/\mu\text{s}$. Der Nachweis findet sich in [Zen97]. Eine ausführliche Beschreibung der Methode zur Bestimmung der Driftgeschwindigkeit gibt [Ste97].

2.4.5 Entstehung der Trackinginformation

Eine grobe Ortsinformation erhält man, indem man die Raumpunkte ermittelt, an denen sich die getroffenen Drähte kreuzen. Es müssen mindestens von drei Ebenen Informationen zur Verfügung stehen, da die Information einer einzelnen Zelle keine Aussage erlaubt, auf welcher Seite des Signaldrahtes das Teilchen durch die Zelle geflogen ist (vgl. [Sch95]). Zur Erhöhung der Ortsauflösung zieht man die Information über die Driftzeit heran.

Mit Kenntnis der Driftgeschwindigkeit kann man aus der Driftzeit den kürzesten Abstand vom Draht bestimmen, bei dem das Teilchen durchgeflogen ist.

$$x = v_D * (t_{arrival} - t_{offset}) \quad (2.2)$$

Dabei ist x die Entfernung des Teilchens vom Meßdraht, v_D die Driftgeschwindigkeit und $t_{arrival}$ die gemessene Driftzeit und t_{offset} die durch Signallaufzeiten in Kabeln und der Elektronik verursachte Verzögerung.

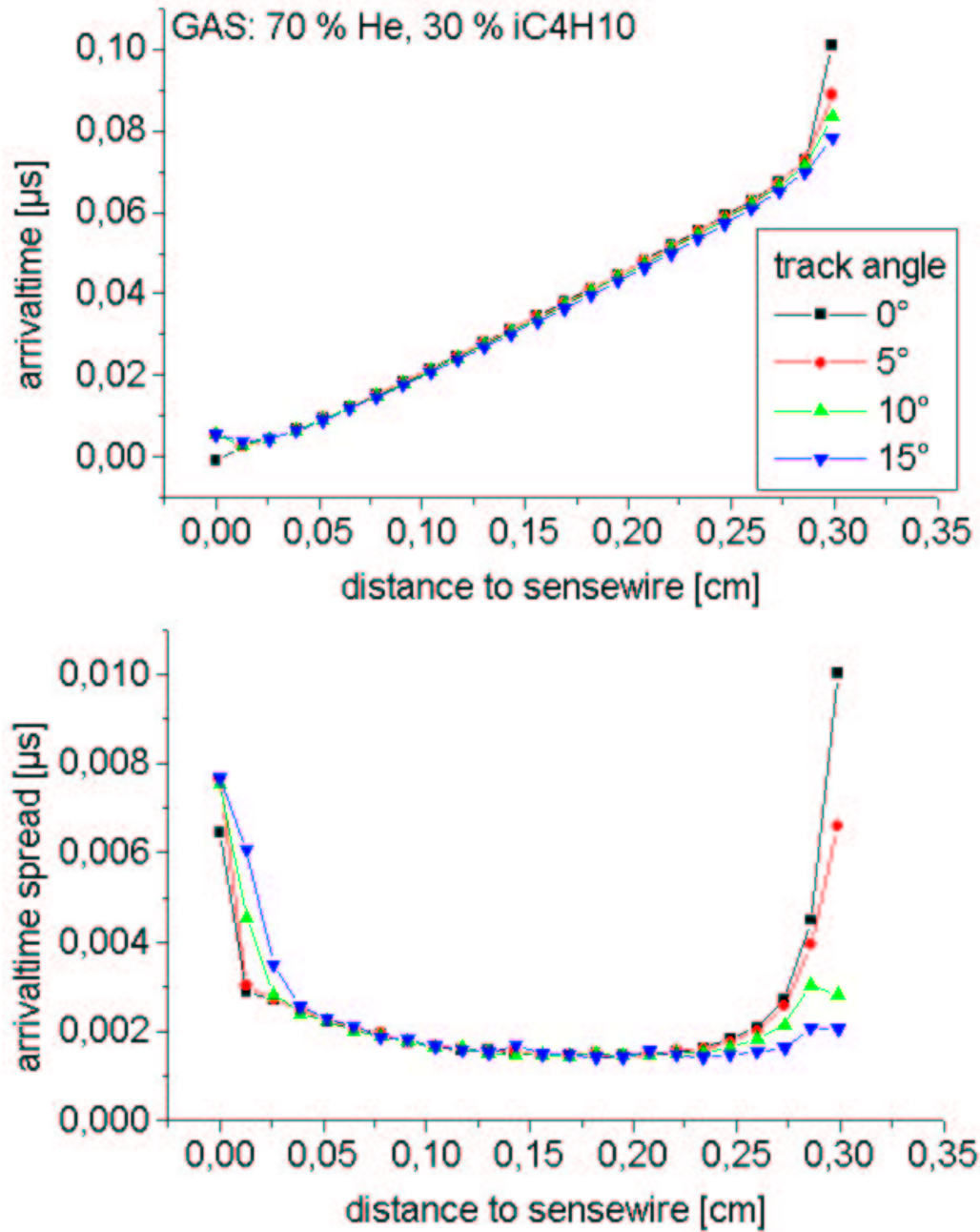


Abbildung 2.6: Ankunftszeitverteilung für das Gasgemisch mit 70% Heliumanteil als Ergebnis einer GARFIELD Simulation. Dargestellt ist die Ankunftszeitverteilung für vier verschiedene Winkel der Teilchenspur. Der untere Teil der Abbildung zeigt die theoretisch erwartete Auflösung der Ankunftszeit. Aus [Zen97].

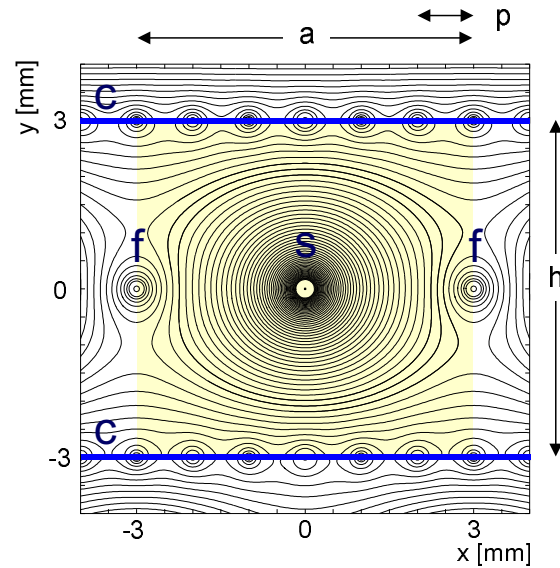


Abbildung 2.7: *Feldverlauf einer Driftzelle der Driftkammerebene II.*
Es bedeuten : C Kathodendrähte, F Felddraht und S Signaldraht. Die Abmessungen sind $a = 6 \text{ mm}$, $h = 6 \text{ mm}$ und $p = 1 \text{ mm}$.

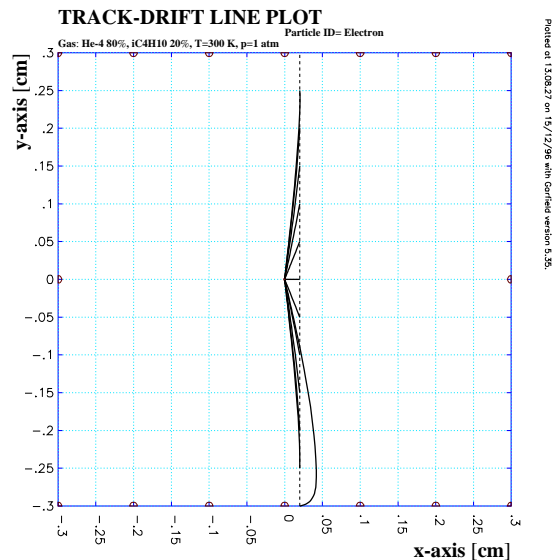


Abbildung 2.8: *Durchgang eines Teilchens durch die Driftkammer in der Nähe des Signaldrahtes. Eingezeichnet sind die Driftwege einiger Elektronen entlang dieser Spur. Aus [Zen97] Seite 37.*

Kapitel 3

Auslesekonzept der Driftkammern

3.1 Die Datenraten

Für das Verständnis des Auslesesystems ist es hilfreich, die erwarteten Datenraten zu kennen. Das Datenerfassungskonzept von HADES sieht 3 Triggerstufen vor, die wie bereits in Kapitel 1 erwähnt, unterschiedliche physikalische Bedingungen stellen. Dadurch, daß die Bedingungen von Stufe zu Stufe immer enger gefaßt sind, führen sie natürlich zu einer Reduktion der Datenmenge. Im folgenden sollen die erwarteten Datenraten in Bezug auf die Driftkammern erläutert werden. Die physikalische Bedeutung der einzelnen Trigger ist in Kapitel 2.2 erläutert.

Ereignisraten

Die Ereignisrate wird von den physikalischen Verhältnissen des verwendeten Stoßsystems bestimmt. Für Au + Au - Kollisionen ergibt eine Strahlintensität von 10^8 Projektilionen/s auf ein Target von 1% nuklearer Wechselwirkungslänge eine Kollisionsrate von 10^6 /s.

Erste Triggerstufe

Durch den Trigger der ersten Stufe werden alle zentralen Stöße akzeptiert. Dadurch erhält man eine Ereignisrate von 10^5 /s. Simulationen [Sch95] haben ergeben, daß ungefähr 20 Teilchen durch jeden Sektor fliegen werden. Grundlage dieser Simulationen ist ein relativistisches Modell. Mit diesem wurden Au + Au Kollisionen bei 1 AGeV simuliert. Es gibt, auf alle sechs Sektoren verteilt, 24 Driftkammermodule mit je sechs Drahtebenen. Somit erhält man $2,88 \cdot 10^8$ Signale/s.

Um die Überlagerung von zwei Teilchen, die durch dieselbe Driftzelle fliegen, auflösen zu können, triggert jedes Analogsignal den TDC¹ sowohl mit der steigenden als auch der fallenden Flanke. Damit ergibt sich eine Datenrate von $5,76 \cdot 10^8$ /s. Von den 14 Bit der TDC - Zeitdaten werden nur 11 Bit verwendet. Hinzu kommen noch 8 Bit der TDC - Adresse wodurch man eine Datenmenge von $1,094 \cdot 10^{10}$ Bits/s erhält. Das entspricht 1,27 Gigabyte pro Sekunde.

Zweite Triggerstufe

Durch die zweite Triggerstufe findet eine Reduktion der Ereignisrate um ca. einen Faktor 100 statt. Nach der im vorhergehenden Abschnitt beschriebenen Rechnung ergibt sich damit eine Datenmenge von 13,04 MB/s.

Dritte Triggerstufe

Der Trigger der dritten Stufe nimmt noch einmal eine Reduktion um einen Faktor 10 vor. Somit bleiben nun nur noch 10^2 Ereignisse pro Sekunde, die als physikalisch relevant erachtet und auf Band geschrieben werden. Unter denselben Annahmen erhält man nun noch eine Datenmenge von 1,3 MB/s.

3.2 Das Konzept

Im Rahmen dieser Arbeit wurde ein Konzept zur Auslese der Vieldraht - Driftkammern entwickelt. Aufgabe des Systems ist die Digitalisierung der Driftzeiten von ca. 27.000 Driftzellen mit einer Rate von 10^5 /s. Im folgenden soll anhand von Abbildung 3.1 das Auslesekonzept erläutert werden.

Das Triggerkonzept sieht vor, daß die Daten an zwei Stellen im Verlauf der Auslese zwischengespeichert werden. Dadurch entstehen drei unterschiedlich weit reduzierte Datentypen. Die Daten, die durch ein Signal der ersten Triggerstufe digitalisiert werden, bezeichnet das Konzept als LVL1 Daten(Level-1 Data). Die Digitalisierung wird von den TDC auf den Motherboards durchgeführt. Unmittelbar nach Abschluß der Digitalisierung werden die Daten aus den TDC's ausgelesen, und zu den Auslesesteuereinheiten übertragen. Diese werden in der Abbildung mit „read-out controller“ bezeichnet. Auf diesen werden sie in einem Speicher abgelegt bis die zweite Triggerstufe entschieden hat, ob die Daten ein Dileptonenereignis darstellen. Die Prozessoren der zweiten Triggerstufe benötigen 100 - 150 μ s [Kü], um eine Entscheidung zu treffen. Auf den Auslesesteuerungseinheiten muß im Speicher Platz sein, um alle während dieser Zeit eintreffenden Ereignisse puffern zu können. Der Speicher auf den Auslesesteuerungseinheiten soll 30 Kiloworte speichern können. Dies reicht aus, um selbst bei zentralen Au + Au Stößen 64 Ereignisse speichern zu können.

¹Time to Digital Converter = Zeit zu Digital Wandler

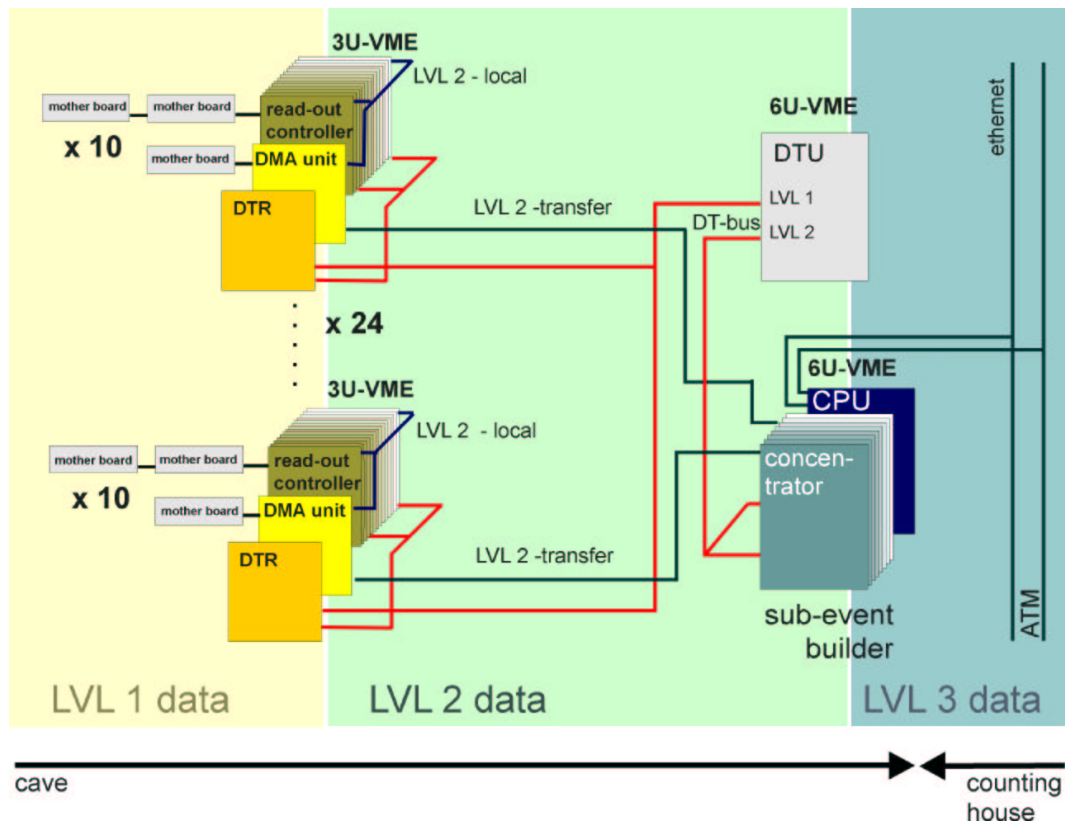


Abbildung 3.1: Prinzip der Auslese der Driftkammern. Dargestellt ist, wie die einzelne Komponenten zusammenwirken. Aus [Str97b].

Die Anzahl der Motherboards wird durch die Anzahl der Signaldrähte einer Driftkammer bestimmt. Für die ersten beiden Ebenen werden je 14 Motherboards benötigt. Nutzt man aus, daß es möglich ist, mehrere Motherboards über eine Auslesesteuerungseinheit zu lesen, wie in Kapitel 4 erläutert, so benötigt man pro Driftkammermodul zehn Auslesesteuerungseinheiten.

Bei Eintreffen des Triggersignals der zweiten Triggerstufe werden die Daten von den Auslesesteuerungseinheiten zu den Konzentratoren übertragen. Dabei werden nur solche Ereignisse übertragen, die zu einem positiven Triggersignal geführt haben. Diese Daten sind in Abbildung 3.1 als LVL2 Daten bezeichnet. Dabei werden jeweils die zu einem Driftkammermodul gehörenden zehn Auslesesteuerungseinheiten von einem Konzentrator ausgelesen. Es werden somit 12 Konzentratoren benötigt, die zusammen in einem VME Überrahmen in der Meßhütte untergebracht sind. Auf den Konzentratoren werden die Ereignisse der einzelnen Auslesesteuerungseinheiten zusammengestellt und gespeichert, bis durch ein Triggersignal der dritten Triggerstufe entschieden wurde, ob sie verworfen, oder zur späteren Analyse abgespeichert werden.

Um die Entfernung zwischen Auslesesteuerungseinheiten, die in Überrahmen im Tragrahmen des Detektorsystems aufgehängt sind, und den Konzentratoren in der Meßhütte zu überbrücken, sind Leistungstreiber nötig. Diese befinden sich auf der in Abbildung 3.1 als DMA² Einheit bezeichneten Karte. Diese Karte erlaubt auch den Zugriff auf den Speicher der Auslesesteuerungseinheit, um die von den TDC benötigten Initialisierungsinformationen dort ablegen zu können.

Die Steuerung der Auslese nimmt die Detektortriggereinheit (DTU) vor. Sie ist über den HADES-Triggerbus mit der zentralen Triggereinheit (CTU) verbunden. Von dieser erhält sie die Triggersignale zusammen mit der Ereignisnummer des *nächsten* Ereignisses. Die Ereignisnummer wird zusammen mit dem Triggersignal über die Detektortriggerempfänger (DTR) zu den Auslesesteuerungseinheiten übertragen. Zur Adressierung des Speichers werden auf den Auslesesteuerungseinheiten die unteren sieben Bit der Ereignisnummer verwendet. Diese werden um so viele Bits nach links verschoben, daß der bei der Inkrementierung entstehende Speicherblock groß genug ist, die gesamten Daten aufzunehmen. Die Größe des Datenblockes muß mindestens 386 Datenworte betragen. Für den Fall, daß zwei Motherboards mit je 12 TDC - Chips an die Auslesesteuerungseinheit angeschlossen sind, und alle acht TDC - Kanäle Daten liefern, werden 384 (= 24·8) Datenworte benötigt. Hinzu kommen noch das Datenwort mit der Ereignisnummer und die Information über die Anzahl der tatsächlich gelesenen Datenworte. Die Detektortriggereinheit verwaltet auch den Speicher auf den Auslesesteuerungseinheiten und den Konzentratoren. Durch Mitzählen der Signale der drei Triggerstufen kann sie durch Bilden der Differenz zwischen den einzelnen Zähl-

²DMA = **D**irect **M**emory **A**ccess; Direkter Speicherzugriff

Verstärkung	10 - 20 mV/ μ A
Rauschen	$< 1\mu$ A
Anstiegszeit	10 ns
Abklingzeit	< 50 ns
Übersprechen	$\leq 1\%$
Stromverbrauch	≤ 20 mV/Kanal

Tabelle 3.1: *Parameter der Analogkarten. Aus [Str97b].*

lern ermitteln, ob in den entsprechenden Speichern noch Platz ist. Sollte dies nicht der Fall sein, so signalisiert die Detektortriggereinheit diesen Zustand als „Pipe full“³ an die zentrale Triggereinheit. Für den Speicher auf den Auslesesteuerungseinheiten zählt die Detektortriggereinheit die Triggersignale von erster und zweiter Triggerstufe, egal ob das Signal der zweiten Triggerstufe positiv oder negativ ist. Nur die positiven Triggersignale der zweiten Triggerstufe werden zur Entscheidung über den Speicher der Konzentratoren herangezogen.

3.3 Die Komponenten

3.3.1 Analogkarten (Daughterboards)

Mit den Analogkarten wird eine Aufbereitung des Kammersignals vorgenommen. Durch einen Verstärker wird zunächst das von der Kammer kommende Stromsignal in ein Spannungssignal umgewandelt. Anschließend wird das Signal von einem Shaper⁴ durch Integration des Signals geglättet. Wie in Kapitel 2.4.3 gezeigt, ist die Ankunftszeit der ersten Elektronen am Signaldraht proportional zum Abstand der Teilchenspur. Der Signalformer darf also die Flanke des Pulses nicht zeitlich verändern, damit die Ortsauflösung der Driftkammer nicht verschenkt wird. Zwischen Anstiegszeit und Signalverlauf muß daher ein Kompromiß gefunden werden. Der auf den Signalformer folgende Thresholddiskriminator vergleicht die Pulshöhe mit einer einstellbaren Schwelle. Übersteigt die Signalspannung die Schwelle, so wird der Ausgang des Diskriminators aufgesteuert. Durch Verstellen der Schwellenspannung können das Eigenrauschen des Verstärkers und Störungen am Eingang der Karte vom Ausgang ferngehalten werden. Die Spezifikationen der Analogkarten faßt Tabelle 3.1 zusammen.

Die Analogkarten werden zusammen mit den im folgenden Abschnitt beschriebenen Motherboards direkt am Detektor angebracht. Auf den Anschluß der Daughterboards an die Signaldrähte wird in Kapitel 4.2 eingegangen.

³Ein in der HADES Datenauslese standardisiertes Signal an die zentrale Triggereinheit, das dazu führt, daß keine weiteren Triggersignale der ersten Triggerstufe generiert werden.

⁴Shaper = Signalformer

Jede Karte enthält 8 Kanäle Verstärker, Signalformer und Grenzwertschalter in einer integrierten Schaltung. Eingesetzt wird ein als ASD⁵ bezeichneter Chip, der an der Universität von Pennsylvania (USA) entwickelt wurde. Da der Chip nur wenig externe Beschaltung benötigt, wurde die Größe der Analogkarten auf 90 * 25 mm begrenzt.

3.3.2 Digitalisierung (Motherboards)

Mit dem Ausgangssignal der Analogkarten wird der Meßvorgang in den *Time to Digital Converter*(TDC) gestartet. Das Signal für den Stop der Zeitmessung wird über die Auslesesteuerungseinheit (siehe 3.3.3) dem TDC zugeführt. Die digitalisierten Zeitdaten werden in den TDC - Chips in Registern zwischengespeichert. Die Auslesesteuerungseinheiten initiieren die Auslese, die von den TDC - Schnittstellen selbständig durchgeführt wird.

Die Rechnerschnittstelle des TDC (vgl. Abschnitt 5) erlaubt die Zusammenschaltung von bis zu 15 TDC's in einer Kette. Simulationen (siehe Kapitel 4) haben gezeigt, daß Karten mit 8 und 12 TDC - Chips benötigt werden. Zusätzlich ist vorgesehen, zwei Boards von einer Auslesesteuerungseinheit steuern zu lassen. Dazu werden die Karten über ihren Auslesebus in Reihe geschaltet. Die Logik der Karten sorgt dafür, daß immer nur eine angesprochen wird. Damit wird erreicht, daß die Datenrate pro Ereignis für einen einzelnen Auslesebus nicht die Bandbreite des Busses übersteigt. Auch die Motherboards werden direkt am Detektor angebracht. Sie sind über Platinenverbinder direkt mit den Daughterboards (siehe vorhergehenden Abschnitt) verbunden. In Kapitel 4 werden die Motherboards ausführlich beschrieben.

3.3.3 Auslesesteuerungseinheit (RC)

Die Auslesesteuerungseinheit (Readout - Controller (RC)) ist von der Elektronik her so einfach wie möglich gehalten. Auf ihr befindet sich Speicher zur Pufferung der Daten, ein FPGA⁶ zur Steuerung der Auslese der TDC und die Schnittstellen zu Motherboard und DMA Einheit. Auf der Logik sind alle Funktionen zur Steuerung des TDC wie Auslese der Zeitdaten im Tokenmodus etc. implementiert. Als Speicher wird sogenanntes Dualported RAM⁷ verwendet. Die Schnittstellen sind beide als differentielle Niederspannungsleitungen ausgeführt. Dadurch reduziert sich zum einen der Stromverbrauch und zum anderen wird die Übertragungssicherheit erhöht.

⁵Amplifier Shaper Discriminator

⁶Field Programmable Gate Array - Feld programmierbares Gatter Netzwerk

⁷Speicher mit zwei unabhängigen Adreßbussen

3.3.4 Konzentrator (SAM)

Die Konzentratoren (SAM⁸) behandeln die Entscheidungen der zweiten Triggerstufe. Wenn diese eine positive Entscheidung fällt, wird das zugehörige Ereignis aus allen angeschlossenen Auslesesteuerungseinheiten gelesen und im Speicher abgelegt. Die Konzentratoren sind als VME - Module ausgeführt. Das Protokoll auf dem Bus zwischen Auslesesteuerungseinheiten und Konzentrator ist dem des Bus zwischen TDC und Auslesesteuerungseinheit nachempfunden. Es werden mehrere Auslesesteuerungseinheiten von einem Konzentrator ausgelesen. Dabei überträgt er die Ereignisnummer des zu liefernden Ereignisses an die Auslesesteuerungseinheit. Diese liefern nun bei Eintreffen des Tokensignals, die Daten aus dem zugehörigen Speicherblock. Die Daten werden im Speicher des Konzentrators abgelegt, von wo sie die CPU mittels direktem Zugriff abholen kann, wenn das Ereignis von der dritten Triggerstufe akzeptiert wurde. Da die Entscheidung der dritten Triggerstufe unter Zuhilfenahme dieser Daten geschieht, müssen sie nicht nur im Speicher des Konzentrators abgelegt, sondern auch an den Prozessor der dritten Triggerstufe geliefert werden.

3.3.5 Bustreiberkarte (DTR + DMA)

Die logischen Funktionen von Detektortriggerempfänger (DTR) und Speicherzugriffseinheit (DMA), die in Abbildung 3.1 als getrennte Karten dargestellt sind, werden auf der Bustreiberkarte zusammengefaßt. Um auf den Auslesesteuerungseinheiten Platz zu sparen, werden die erforderlichen Treiber auf eine eigene Karte ausgelagert. Auf dieser sind die Treiber für den Datenbus zwischen Auslesesteuerungseinheiten und Konzentrator untergebracht. Daneben befindet sich auf der Karte noch der Treiber für den Detektortriggerbus, über den unter anderem die Ereignisnummern übermittelt werden. Wegen des kritischen Zeitverhaltens wird das Stoppsignal für die TDC getrennt von diesen Bussystemen über eine schnelle Signalleitung geführt.

3.3.6 Detektortriggereinheit (DTU)

Die Detektortriggereinheit besitzt zwei Bussysteme. Zum einen den HADES - Triggerbus [Kas96], über den sie mit der zentralen Triggereinheit verbunden ist. Von dieser erhält sie alle Triggersignale in codierter Form. Nach der Decodierung werden die benötigten Signale an die Detektortriggerempfänger weitergesandt. Dies geschieht mittels des zweiten Bussystems, dem Detektortriggerbus. Beide Systeme sind als differentieller Niederspannungsbuss aufgebaut. Dadurch reduziert sich der Stromverbrauch der Module erheblich und infolgedessen auch die Wärmeabgabe aufgrund von Verlustleistung. Der Detektortriggerbus dient zur

⁸Steuerungs und Auslese Modul; Ein an der GSI entwickeltes VME Modul zur Steuerung und Auslese von Detektoren.

Verbindung von Detektortriggereinheit und Konzentrator. Wie über den HADES - Triggerbus werden über diesen die Ereignisnummer, die Triggernummer und die Triggerentscheidung übertragen. In der Gegenrichtung, also vom Konzentrator zur Detektortriggereinheit, werden Informationen über den Status der Auslese („Beschäftigt“ „Fehler“ etc.) übermittelt.

Kapitel 4

Realisierung des Konzeptes

4.1 Das Motherboard

4.1.1 Aufgabe des Motherboards

Das Motherboard ist die wichtigste Komponente im Auslesesystem der HADES Driftkammern. Seine Aufgabe ist die Digitalisierung der Driftzeit. Hierzu befinden sich auf dem Motherboard TDC - Chips, die speziell zu diesem Zweck entwickelt wurden. Kapitel 5 beschreibt die Funktionsweise des TDC's. Das Motherboard muß auch die gesamte Infrastruktur für den Betrieb der Daughterboards bereitstellen, da diese direkt mit den Motherboards verbunden sind. Neben den Versorgungsspannungen gehört dazu auch eine Schwellenwertspannung für die Diskriminatoren. Abschnitt 4.1.2 beschreibt den dafür verwendeten Digital - zu - Analog - Konverter (DAC). Ein weiterer Abschnitt befaßt sich mit der Schnittstelle zwischen TDC-Kette und Auslesesteuerungseinheit.

4.1.2 Aufbau des Motherboards

Die maximal mögliche Größe des Motherboards wird durch den vorhandenen Platz auf den Seitenrahmen der Driftkammern bestimmt. Grund für die Montage der Motherboards auf den Driftkammerrahmen ist die Bedingung, daß die Karten komplett im Schatten der Magnetspulen liegen sollen. Dadurch soll verhindert werden, daß ein Teilchen beim Durchfliegen des Motherboards durch Vielfachstreuung (siehe 4.2) abgelenkt und dadurch für die weitere Untersuchung unbrauchbar wird. Da die seitliche Rahmenbreite der Driftkammern der Ebene I und II schmaler als 40,0 mm sind, können die Motherboards nur „aufrechtstehend“ auf den Rahmen positioniert werden. Zwischen Driftkammerebene I und RICH ist Platz für eine Karte von maximal 44,0 mm Breite. Bei den Ebenen III und IV ist das Platzproblem weitaus unkritischer. Hier ist meistens Platz für bis zu 50,0 mm breite Karten.

Die Länge der Karte hängt von der Anzahl der auf den Rahmen unterzubringenden Analogkarten ab. Zum anderen erfordert die Unterbringung von 8 bzw. 12 TDC-Chips eine Mindestlänge, die garantiert, daß sich die notwendige Verschaltung realisieren läßt. Diese liegt für ein Motherboard mit 64 Kanälen bei ca. 200 mm und für eines mit 96 Kanäle bei ca. 300 mm. Für 8 TDC - Chips wird aufgrund ihrer Größe von $16 \cdot 16 \text{ mm}^2$ eine Länge von 128 mm benötigt. Bei 12 Chips muß die Mindestlänge 192 mm betragen. In diesen Längen ist noch nicht der Platz für die benötigten Koppelkondensatoren an der Spannungsversorgung jedes Chips einbezogen. Zusätzlich wird noch Platz für die Schnittstelle zur Auslesesteuerungseinheit benötigt. Die Abmessungen des Motherboards betragen insgesamt 240 mm * 40 mm.

Vorgesehen ist die einseitige Bestückung der Boards mit allen Elektronikkomponenten, damit die zweite Seite weitgehend für den Anschluß der Daughterboards frei ist. Jedes Daughterboard wird über zwei Stecker angeschlossen. Die Signalleitungen werden direkt an die Eingänge des TDC geführt.

Auf der Komponentenseite befindet sich neben den TDC - Chips noch ein Clock - Chip für den von den TDC - Chips benötigten 5 MHz Takt (siehe Kapitel 5). Dazu kommt noch der DAC, der die Schwellenspannungen für die Daughterboards erzeugt, und eventuell Treiberstufen für diese Spannungen, falls die Daughterboards mehr Strom am Schwellenspannungseingang ziehen als der DAC liefern kann.

Die Erdung wird über die Befestigungsstruktur vorgenommen. Dadurch werden alle verwendeten Spannungsversorgungen über einen gemeinsamen Punkt geerdet. Ergebnis ist eine starke Unterdrückung von Störungen, die über die Spannungsversorgung einstreuen. Dabei ist darauf zu achten, daß keine Erdungsschleifen zum Eingang der Analogverstärker entstehen. Ansonsten können die hochempfindlichen Verstärker der Analogkarten durch Stromschwankungen auf den Versorgungsleitungen der Motherboards gestört werden.

Der DAC

Für jede der am Motherboard angeschlossenen Analogkarten wird eine Grenzwertspannung benötigt. Um diese Variable halten zu können, befindet sich auf dem Motherboard ein Digital-zu-Analog-Konverter (DAC). Dieser erzeugt anhand einer vorgegebenen Referenzspannung die nötigen Spannungen in Abhängigkeit der eingestellten Werte. Der DAC wird von einem Rechner angesteuert, wodurch eine Anpassung der Schwellenspannung während des laufenden Experimentes möglich ist.

Schnittstelle zur Auslesesteuerungseinheit

Die Entfernung zwischen Motherboard und Auslesesteuerungseinheit beträgt bis zu 4 Meter. Die Schnittstelle muß also einerseits in der Lage sein, diese Entfernung zuverlässig zu überbrücken, und soll andererseits nicht zu viele Leitungen enthalten. Die Anzahl der Leitungen wird durch die Zahl der zu übertragenden Signale bestimmt. Um die Übertragungssicherheit zu erhöhen, wird jedes Signal differentiell mit einem LVDS¹ Treiber übertragen. Um die Anzahl der benötigten Leitungen zu verringern, wird ein Multiplexer eingesetzt. Dadurch wird es möglich, eine Leitung für mehrere Signale zu nutzen. Die Anzahl der benötigten Datenleitungen reduziert sich damit auf fünfzig. Der Multiplexer befindet sich zusammen mit den Bustreibern auf einer kleinen Aufsteckkarte. Diese wird neben die Analogkarten auf das Motherboard aufgesteckt und ist mit diesem über zwei Stecker verbunden.

Für die Spannungsversorgung der Motherboards muß eine eigene Leitung verlegt werden. Es ist vorgesehen, diese Leitung auf dem Rahmen des Detektors zu verlegen mit Stichleitungen zu den einzelnen Motherboards.

4.2 Platzierung der Front - End - Elektronik

4.2.1 Anordnung der Motherboards

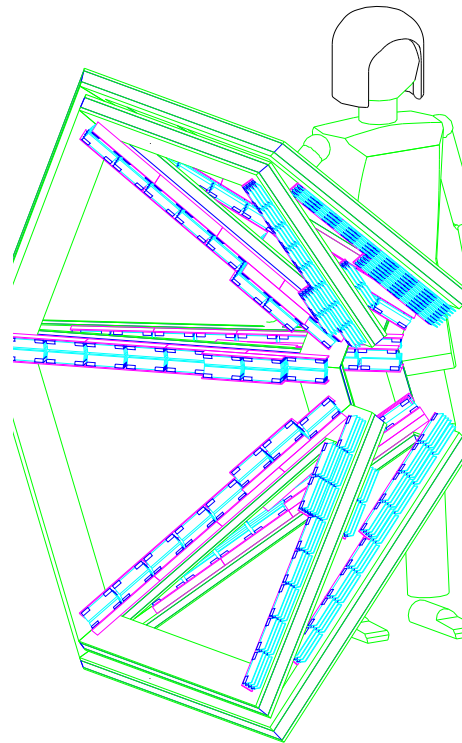
Problemstellung

Neben den Beiträgen zur Entwicklung der Ausleseelektronik wurden parallel dazu auch Überlegungen zur Platzierung dieser Elektronik durchgeführt. Dabei sind Konzentrator und Detektortriggereinheit unkritisch, da sie in VME - Überraahmen untergebracht sind, die außerhalb des Spektrometers angebracht sind. Die Auslesesteuerungseinheiten sind in Überraahmen im Haupttragrahmen aufgehängt. Einzig die Kombination von Motherboard und Daughterboard ist kritisch, besonders zwischen erster Driftkammerebene und RICH und zwischen erster und zweiter Ebene. Zwei Punkte begrenzen hier die Anordnung besonders. Zum einen der verfügbare Platz und zum anderen die möglichen Längen der Kabel zur Zuführung der Analogsignale.

Einschränkungen durch vorhandenen Platz

Der kürzeste Abstand zwischen dem Rahmen der ersten Driftkammerebene und dem RICH - Spiegel beträgt 44 mm. In diesem Bereich ist es nicht möglich, die Motherboards in mehreren Ebenen anzuordnen. Gleichzeitig befinden sich in diesem Bereich die meisten Anschlüsse für die Analogsignale. In Abbildung 4.2 sind

¹Low Voltage Differential Signaling - Signalübertragung mit differentiellen Niederspannungspegeln.



TRACKINGDETEKTOR 1+2

Abbildung 4.1: Die Motherboards werden auf dem Aluminiumrahmen der Driftkammern montiert. Gezeigt sind die Kammern der Ebenen I und II.

die Anschlüsse der Signaldrähte einer Seite eines Moduls der Driftkammerebene I gezeigt. Jeder dieser Anschlüsse führt jeweils vier Signaldrähte nach außen. Die Signaldrähte sind dabei gegeneinander durch Erdungsanschlüsse abgeschirmt. Wie man aus der Häufung der Anschlüsse am unteren Ende des Detektors, also in der Nähe des Strahls, erkennen kann, erwartet man hier die meisten Daten. In diesem Bereich müssen also die meisten Motherboards montiert werden. Auf der Abbildung ist auch zu sehen, wie eine mögliche Anordnung der Motherboards aussehen könnte. Das Motherboard in der dritten Ebene muß aus Platzgründen auf der Rückseite des Detektors montiert werden. Legt man für alle Motherboards eine Breite von 40 mm zugrunde, reicht der Platz für diese Konfiguration aus. Zur Seitenbezeichnung und Reihenfolge der Signaldrahtebenen siehe auch Abschnitt 2.4. Unter „Auslese“ wird im folgenden die Verbindung der Drahtebenen über flexible Folienkabel mit der Elektronik verstanden.

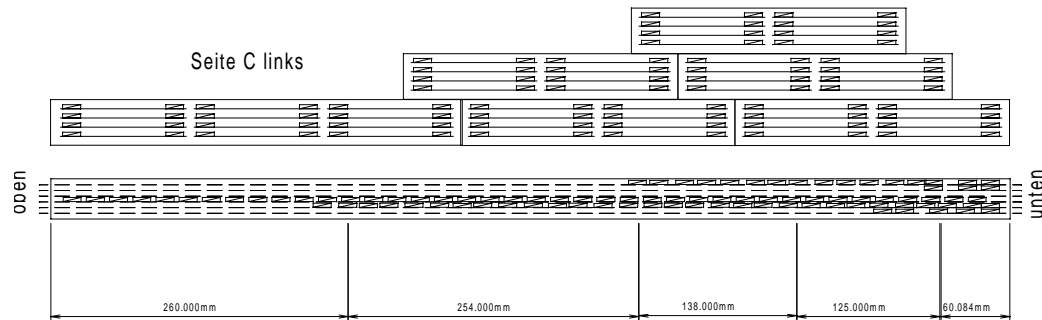


Abbildung 4.2: Die Seitenansicht des Driftkammermoduls zeigt die Anordnung der Anschlüsse der Signaldrähte.

Einschränkungen durch Kabellängen

Die Länge der Verbindungskabel zwischen Driftkammer und Daughterboard wird von der relativen Entfernung zwischen Kammeranschlußpunkt und Daughterboard bestimmt. Die Anschlüsse auf der Kammer verteilen sich für die Ebenen I und II nur über drei Seiten. Auf der kürzesten Seite befinden sich keine Anschlüsse, da diese Seite nicht lang genug ist, um ein Motherboard aufnehmen zu können. Auf der dieser Seite gegenüberliegenden Seite werden alle dort erreichbaren Signaldrähte zur Auslese herausgeführt. Auf den übrigen beiden Seiten werden alle noch verbleibenden Signaldrähte ausgelesen. Infolgedessen müssen nicht auf der gesamten Länge der Seite Drähte jeder Signalebene ausgelesen werden. Dadurch ergeben sich fünf Bereiche, in denen jeweils unterschiedliche Ebenen ausgelesen werden. Abbildung 4.3 verdeutlicht den Zusammenhang zwischen den Auslesezonen. Im Bereich C1 auf der rechten Seite der Driftkammer werden nur die Drähte der 0° Ebene ausgelesen, da alle hier befestigten Drähte der $+20^\circ$ und $+40^\circ$ Ebenen im Bereich B ausgelesen werden. Im Bereich C2 müssen zusätzlich noch die Drähte der $+20^\circ$ Ebene ausgelesen werden, da diese nun nicht mehr im Bereich B ausgelesen werden können. Im Bereich C3 gilt dies auch für die Drähte der $+40^\circ$ Ebene. Da auf der kurzen Seite A keine Signaldrähte ausgelesen werden, kommen im Bereich C4 die Drähte der -40° Ebene dazu und im Bereich C5 die der -20° Ebene. Für die linke Seite gilt das gleiche nur mit umgekehrten Vorzeichen bei den Winkeln. Tabelle 4.1 gibt die Anzahl der Signaldrähte je Auslesezona für die Driftkammermodule I und II an.

Die Verbindung zwischen Driftkammer und Daughterboard wird über Folienkabel hergestellt. Da die verwendeten Kabel keine Abschirmung haben, sind sie sehr empfindlich für äußere Störungen. Daher wird angestrebt, sie so kurz wie möglich zu halten. Der Anschluß dieser Kabel an die Driftkammer wird bei den Modulen der Ebenen I und II unterschiedlich vorgenommen.

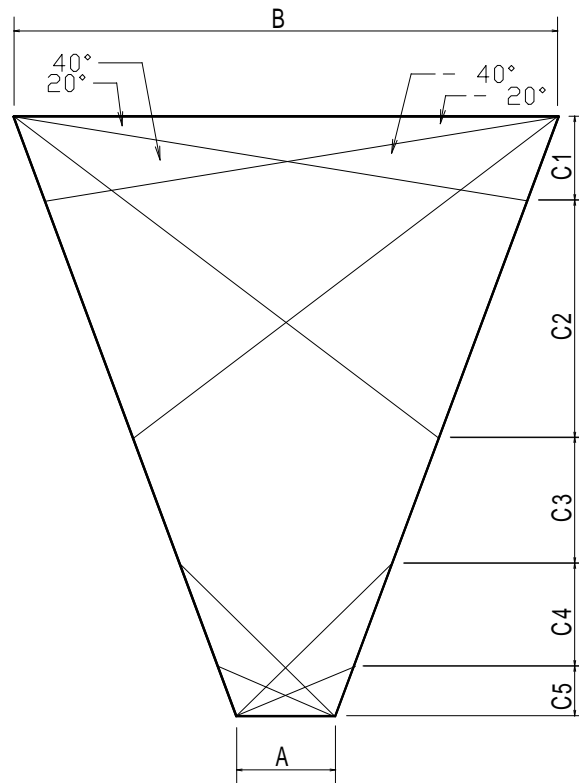


Abbildung 4.3: Auslesezeiten der Driftkammern. In den fünf mit C1 bis C5 bezeichneten Bereichen werden jeweils unterschiedliche Ebenen Ausgelesen.

Bei den Modulen der Ebene II werden die Drähte der Kammer auf speziell gefertigten Platinen fixiert und auf Leiterbahnen kontaktiert, die die Signale nach außen führen. Diese Platinen werden mit Stesalitrahmen als Abstandshalter zusammengesetzt und bilden den Seitenrahmen der Kammer. Die Folienkabel werden mit aufgekrimpten Lötsteckern auf diese Platinen gelötet und dadurch mit den Signaldrähten verbunden.

Hingegen sind die Signaldrähte bei der Ebene I schon auf Folienkabel gelötet, welche in die Stesalitrahmen eingeklebt sind. Zu diesem Zweck sind entsprechende Vertiefungen in die Rahmen gefräst. Die Kabel enden in zwei um 90° abgewinkelten Fingern, auf denen sich jeweils die Anschlüsse für vier Signaldrähte befinden. Auch hier liegt zwischen den Signalanschlüssen jeweils ein Erdungskontakt. Auf diese Lötkontakte wird nun jeweils ein weiteres Folienkabel mit aufgekrimptem Stecker gelötet.

Anzahl der Signaldrähte je Auslesezone						
	B	C1	C2	C3	C4	C5
Modul 1	312	50	102	83	90	50
Modul 2	284	47	98	97	88	63

Tabelle 4.1: Anzahl der Signaldrähte pro Auslesezone für die Driftkammermodule I + II

Wie Abbildung 4.2 zeigt, werden die Anschlüsse gleichmäßig über den möglichen Bereich herausgeführt. Das erschwert allerdings die Verbindung zum Daughterboard, weshalb hier die flexiblen Folienkabel verwendet werden. Dabei kommt es durch den seitlichen Versatz zwischen Anschlußpunkt und Daughterboardstecker zu Verdrehungen der Kabel.

4.2.2 Bus zur Auslesesteuerungseinheit

Anzahl der Bussysteme

An eine Schnittstelle der Auslesesteuerungseinheit können bis zu zwei Motherboards angeschlossen werden. Da nicht alle Motherboards bei einem Ereignis gleichviele Signale sehen, unterscheidet sich die Datenmenge, die pro Ereignis über jedes Bussystem übertragen wird. Um eine Angleichung der Belastung der Systeme durchzuführen, werden Motherboards mit geringer Datenmenge zu Paaren zusammengeschaltet. Unter Berücksichtigung der Ergebnisse der Simulationen aus dem nächsten Abschnitt führt das zu zehn Bussystemen pro Detektor. Diese sind in Abbildung 4.4 für ein Driftkammermodul dargestellt.

Dabei kommen zwei verschiedene Boardgrößen zum Einsatz. Dort wo die höchsten Datenraten erwartet werden, werden Boards mit nur 64-TDC Kanälen verwendet. Dies ist der Bereich in der Nähe zum Strahl. Im übrigen Bereich kommen sofern nötig Boards mit 96-Kanälen zur Verwendung. Im Auslesebereich B, der am weitesten von der Strahlachse entfernt ist, werden je zwei Boards (96 und 64 Kanäle) zusammengeschaltet. Auf den Seiten der Kammer werden zwei Boards mit 96 Kanälen zusammengeschaltet. Dadurch reduziert sich die Anzahl von 14 Bussystemen, wenn jedes Motherboard für sich ausgelesen wird, auf zehn Bussysteme.

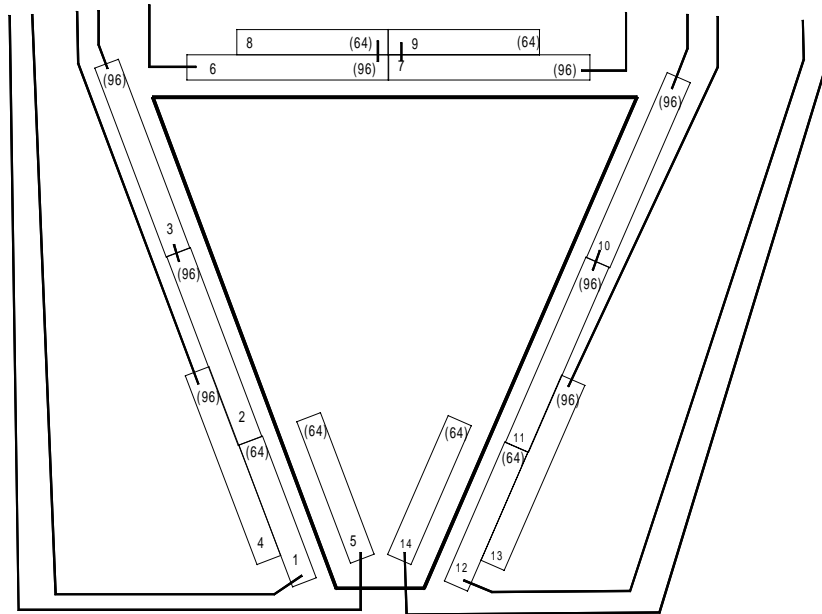


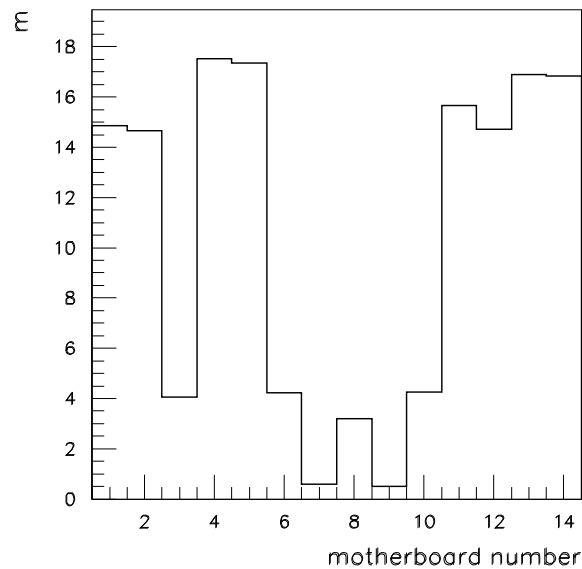
Abbildung 4.4: Zehn Auslesebussysteme sind pro Driftkammermodul notwendig. Dabei werden einige Motherboards zusammen über ein Bussystem ausgelesen.

Simulationen zur Busauslastung

Um zu ermitteln, wieviele Treffer jedes Motherboard pro Ereignis registrieren wird, war die Durchführung von Simulationen unerlässlich. Als Grundlage dieser Simulationen wurden Ereignisse des HADES-Event-Generators² verwendet. Simuliert wurden Au + Au Kollisionen bei 1 AGeV. Aus diesen Daten wurde die Nummer des Drahtes berechnet, der von einem Teilchen ein Signal sieht. Als Ergebnis dieser Rechnung erhält man die Anzahl der Teilchen für jeden Draht, gemittelt über 100 Ereignisse.

Um ermitteln zu können, welches Motherboard nun wieviele Signale sieht, muß zunächst eindeutig festgelegt werden, welches Motherboard welche Signaldrähte ausliest. Dazu wurden zunächst Zeichnungen von allen Signalebenen angefertigt. Aus diesen Zeichnungen wurde die Anzahl der Drähte pro Ebene per abzählen gewonnen. Damit war die Anzahl der benötigten Daughterboards und damit auch der Motherboards festgelegt. Dabei wurde berücksichtigt, daß die endgültigen Module eventuell einige Drähte mehr haben könnten als hier ermittelt. Dazu wurden an den Ecken des Detektors nur zwei Signaldrähte pro Anschlußpunkt zur Auslese herausgeführt. Insgesamt benötigt die Auslese der Driftkammerdrähte 14 Motherboards. Wie diese angeordnet sind, zeigt Abbildung 4.4. Mittels Zeich-

²HADES - Ereignis - Generator: Programm, das aufgrund von Modellen die Spuren von Teilchen aus Stoßprozessen berechnet

Abbildung 4.5: *Busauslastung Driftkammerebene I*

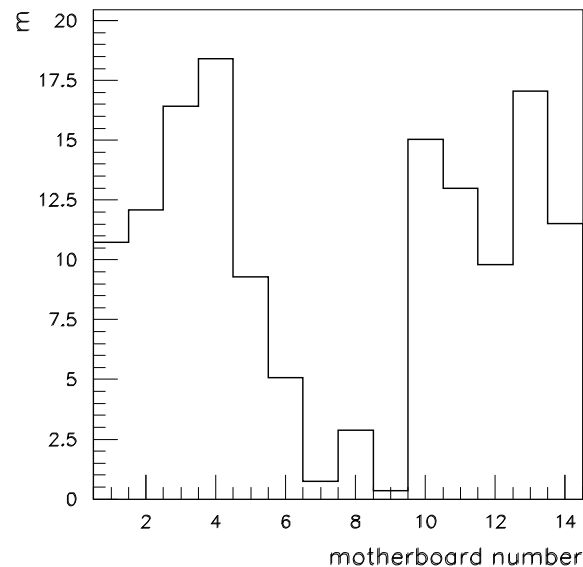
nungen, wie Abbildung 4.2, wurde dann die Zuordnung zwischen Signaldraht und Motherboard festgelegt. Die Zuordnungsinformationen wurden als Datei auf dem Rechner abgelegt, wobei sie in Form einer Datenbank organisiert wurden. Dies geschah im Hinblick auf eine später mögliche Übernahme in die HADES - Datenbank.

Abbildung 4.5 und 4.6 zeigen die Ergebnisse der Simulationen für die beiden inneren Driftkammerebenen. Aufgetragen ist die Anzahl der Datenworte pro Motherboard gemittelt über 100 Au + Au Ereignisse. Ein Vergleich mit Abbildung 4.4 zeigt, daß die geringsten Datenraten im Auslesebereich B zu erwarten sind. Dies beruht auf der erwarteten Winkelverteilung der Dielektronen. Detaillierte Angaben hierzu findet man in [Sch95] und [Kar93]. Es zeigt sich, daß selbst im Bereich der höchsten Multiplizität nicht mit mehr als 20 Datenworten pro Motherboard gerechnet werden muß. Diese Zahl ist die Grundlage für die Konzeption des Auslesekonzeptes in Bezug auf Bandbreiten von Bussystemen.

In Abbildung 4.5 und 4.6 ist auffällig, daß die Datenraten auf den Motherboards sechs und sieben sowie acht und neun nicht entsprechend der Geometrie der Anordnung symmetrisch sind. Ursache für diese Asymmetrie ist die nicht gleichmäßige Zuordnung der vier hier auszulesenden Signalebenen zu den Motherboards.

4.3 Kühlung der Komponenten

Beim Betrieb elektronischer Schaltungen wird immer ein Teil der aufgenommenen Leistung in Form von Wärme abgegeben (Verlustleistung). Für die Kombination aus Mother- und Daughterboard stellt die dadurch verursachte Erwärmung der Umgebungsluft ein Problem dar. Da die Meßeinheit des TDC temperatur-

Abbildung 4.6: *Busauslastung Driftkammerebene II*

abhängig ist, muß die entstehende Wärme abgeführt werden. Der Hauptteil der Verlustleistung wird von den benötigten differentiellen Leistungstreibern abgegeben, nämlich 2,5 W pro Stück bei 5 V Versorgungsspannung. Jeder TDC - Chip setzt etwa 430 mW an Leistung um. Somit wird pro Motherboard ≈ 10 W an Leistung umgesetzt. Die Daughterboards setzen ≈ 600 mW pro Karte um. Die insgesamt umgesetzte Leistung beträgt für ein Board mit 64 Kanälen 13,2 W und für ein Board mit 96 Kanälen 14,9 W. In diesen Rechnungen ist die Leistungsaufnahme des Logikchips der Schnittstellen zur Auslesesteuerungseinheit noch nicht enthalten, da sie im Datenblatt des Herstellers nicht angegeben ist. Die gesamte Leistung der Driftkammerelektronik direkt am Detektor beträgt damit ≈ 5 kW. Zur Kühlung der Komponenten stehen zwei Verfahren zur Auswahl. Entweder wird die Kühlung durch einen Luftstrom der kontinuierlich über die Oberfläche der Komponenten streicht, vorgenommen, oder man setzt auf die Komponenten Kühlkörper mit einer aktiven Wasserkühlung. Für die Ausleseelektronik der Driftkammern scheidet die aktive Wasserkühlung aus mehreren Gründen aus. Zum einen bedeutet das Anbringen von Kühlkörpern das Einbringen von zusätzlichem Material, und damit einer weiteren Quelle von Sekundärelektronen. Zudem würde ein Defekt im Kühlsystem einen großen Schaden anrichten.

Es kommt also nur die Kühlung durch einen Luftstrom in Betracht. Dieser Luftstrom muß aber auf den Bereich der Elektronik begrenzt werden. Das kann z.B. durch Anbringen einer Folie um die Elektronik herum geschehen.

Kapitel 5

Der HADES TDC - Chip

5.1 Anforderungen an den TDC

Tabelle 5.1 faßt die Spezifikationen des TDC-Chips zusammen¹. Grundlage für diese Spezifikation sind zum einen die Eigenschaften der Driftkammer (Ortsauflösung etc.) und zum anderen die Anforderungen des Triggersystems (Ereignisraten etc.). Die Rate der Triggersignale der ersten Triggerstufe von 10^5 pro Sekunde erfordert eine Digitalisierung der Driftzeiten und die Auslese innerhalb von $10\mu\text{s}$. Da die Signale der Driftkammern nur etwa 20 mA stark sind soll die Digitalisierung so nahe wie möglich am Detektor stattfinden. Dazu ist eine hohe Integration der Meßelektronik erforderlich wie die Ausführungen über das Platzproblem im vorigen Kapitel gezeigt haben.

5.2 Der funktionelle Aufbau

Der TDC-Chip besteht aus zwei funktionell unabhängigen Teilen: zum einen dem Zeitmeßteil und zum anderen der Rechnerschnittstelle. Abbildung 5.1 zeigt ein Blockschaltbild des TDC's. In den folgenden Abschnitten sollen Meßeinheit und Rechnerschnittstelle ausführlich beschrieben werden. Zunächst wird ein Überblick über das Zusammenspiel der beiden Komponenten gegeben.

Die Meßeinheit erhält von außen die Signale zum Starten und Anhalten der Zeitmessung über die Eingänge „Mes(7..0)“ und „Common“. Jeder der „Mes“-Eingänge ist auf einen eigenen Meßkreis geschaltet, während der „Common“-Eingang auf alle Meßkreise gleich wirkt. Mit dem Signal „Global Disable“ ist es möglich, die Eingänge der Meßeinheit zu sperren. Um Störungen der Auslese zu vermeiden, kann dieser Eingang mit dem „Beschäftigt“-Ausgang der Rechnerschnittstelle verbunden werden. Damit wird verhindert, daß die Meßeinheit die Meßwerte während der Auslese überschreibt. Da während der Auslese allerdings

¹Zu den TDC-Spezifikationen vergleiche auch [Hof95] und Kapitel 6

TDC Spezifikationen		
	Nach GSI Spezifikation	Nach Messungen
Auflösung	$\leq 500\text{ps}$	$220 \pm 1 \text{ ps}$
Differentielle Nichtlinearität	$\leq 300\text{ps}$	Nicht gemessen
maximales Intervall	$\leq 1024\text{ns}$	$\approx 4\mu \text{ s}$
Kanäle pro Chip	8	8
Common Mode	Common Stop	Common Stop
Auto reset	bei Full Range ohne Stop Signal	Reset nach Erreichen einer einstellbaren Grenze
Nullunterdrückung	vorhanden	vorhanden

Tabelle 5.1: Vergleich der TDC - Spezifikationen mit den Ergebnissen der TDC - Tests

durch die Detektortriggereinheit die Erzeugung weiterer Triggersignale der ersten Triggerstufe unterbunden wird (vgl. 2.2), kann das „Global Disable“- Signal auch über den Auslesekontroller gesetzt werden. Die Kommunikation der Meßeinheit geschieht nur über die Rechnerschnittstelle.

Von der Rechnerschnittstelle werden die „Daten(13..0)“- und die „Adressen(9..0)“- Leitungen nach außen geführt. Dazu kommen noch die Steuerleitungen („Token-1-In“, „Token-2-In“, „Control/Daten“, „Chip Select/Token“, „Read/Write“, „Init“, „Link disable“, „Link beschäftigt“, „Token-1-Out“, „Token-2-Out“, „Strobe“). Die Daten- und Adressleitungen sind als Tristate - Treiber im Chip ausgelegt. Das bedeutet, daß sie entweder als Eingang oder als Ausgang geschaltet werden können. Zwischen diesen Modi schaltet man über die Leitung „Read/Write“ um. Mit dem Signal „Link Disable“ ist es möglich, alle Daten- und Adressleitungen in den dritten Zustand zu schalten. In diesem sind sie hochohmig gegen Masse abgeschlossen, wodurch Signale auf diesen Leitungen keinen Einfluß auf die Rechnerschnittstelle mehr haben.

5.3 Das Meßprinzip

Die Meßeinheit ist vom Prinzip identisch mit derjenigen des in [Git94] beschriebenen TDC2001. Es nutzt die Signallaufzeiten in Halbleiterschaltungen aus. Abbildung 5.2 zeigt das verwendete Schaltungsprinzip. Kernstück dieser Schaltung ist eine Kette von Invertern(siehe Anhang A). In diese Kette wird der Puls am Meßeingang des Meßkreises eingespeist. Da die Anzahl der Inverter in der Kette ungerade ist, ändert der Puls bei jedem Umlauf seine Polarität. Gleichzeitig mit dem Inverter wird auch ein Flip - Flop angesteuert. Dieses wechselt seinen Status entsprechend der Polarität des Pulses. Das Flip - Flop speichert damit die Position des Pulses in der Inverterkette. Mit den Flanken des Signales

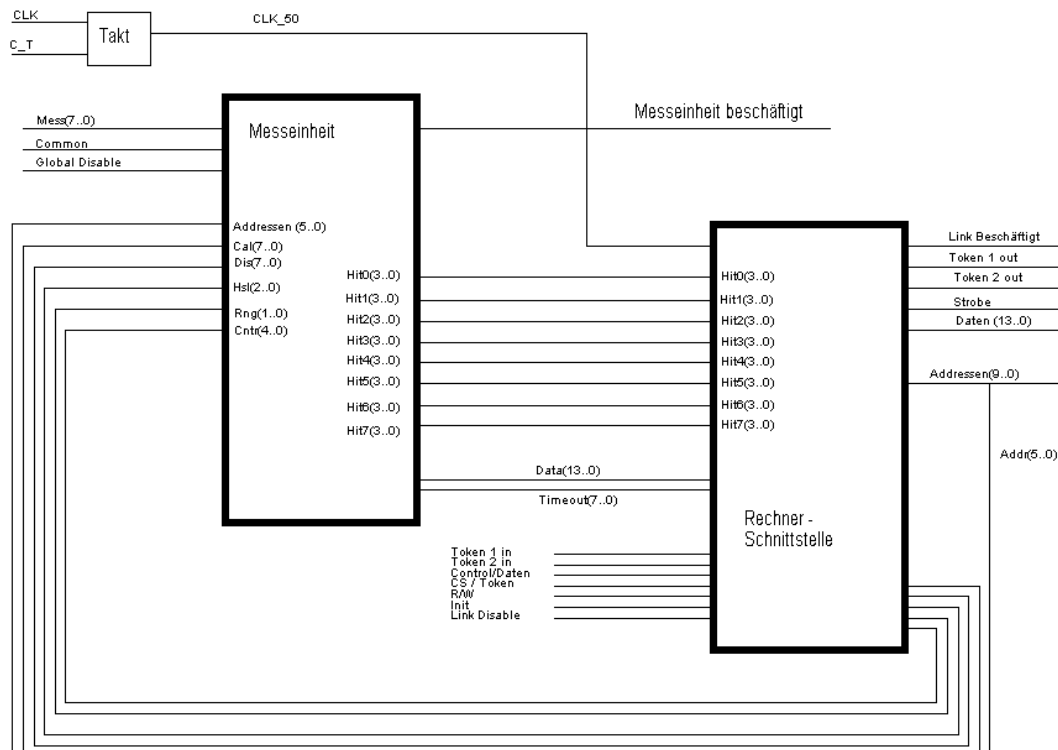


Abbildung 5.1: Blockschaltbild des TDC's. Die Trennung zwischen Meßeinheit und Rechnerschnittstelle wird an diesem Bild deutlich. Nach [Gle96]

am letzten Inverter wird ein Zähler gesteuert, der die Umläufe des Pulses zählt. Bei Eintreffen eines Stoppulses wird der Zustand der Flip-Flops eingefroren und der Zähler angehalten. Die Auswertelogik setzt aus dem Stand des Zählers und dem Ergebnis der Feinquantisierung, das durch Abzählen der Flip-Flops mit „0“ und „1“ Status gewonnen wird, das Meßergebnis zusammen. Dieses wird in einem Register abgelegt. Im Gegensatz zum TDC2001 besitzt der HADES-TDC nur einen Zähler. Seine Fähigkeit mehrere Startsignale vor einem Stoppsignal zu verarbeiten („Multihitfähigkeit“) erhält er, indem beim Eintreffen eines weiteren Startsignales eine Meßwertermittlung durchgeführt wird, als wäre ein Stoppsignal eingetroffen. Dadurch wird nur eine Information über den zeitlichen Abstand des neuen Startsignals vom ersten Startsignal gewonnen. Erst beim Eintreffen des Stoppsignals wird die Zeit, die seit dem ersten Startsignal verstrichen ist, im Register abgelegt. Um nun die Zeit zwischen einem zusätzlichen Startsignal und dem Stoppsignal zu ermitteln, muß zwischen dem letzten Zeitwert und jeweils einem vorherigen die Differenz gebildet werden.

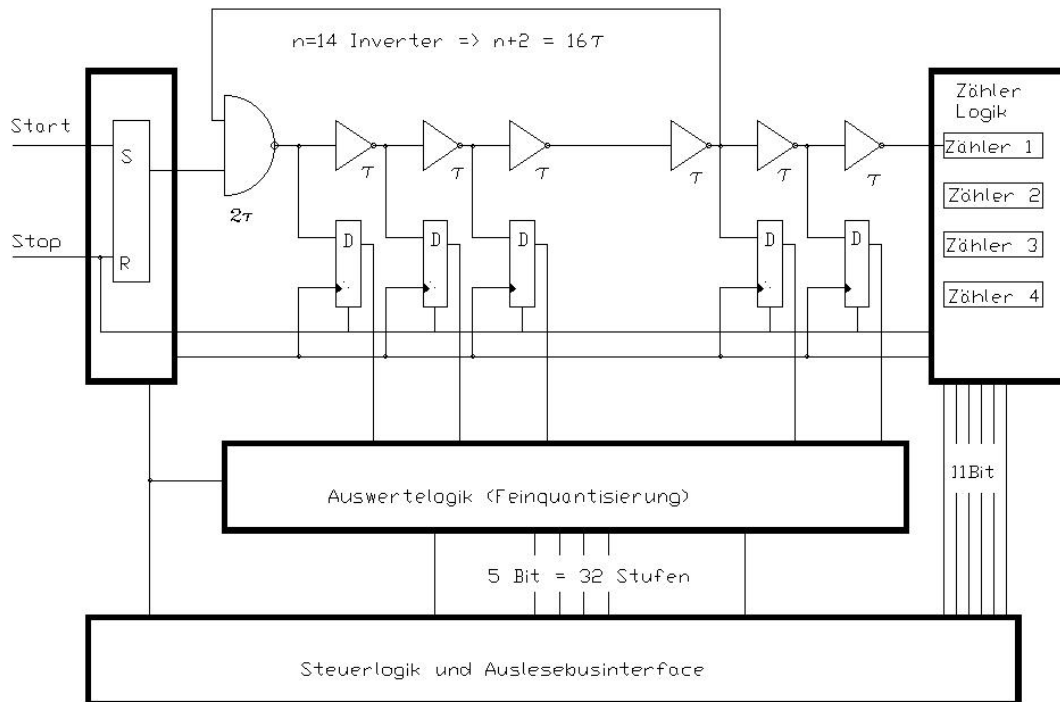


Abbildung 5.2: *Prinzipschaltbild des TDC Meßkreises. Nach [Git94]*

Realisiert wird dieses Meßprinzip auf einem speziellen Siliziumchip durch zusammenschalten von vorgefertigten Gattern. Jedes Gatter besteht aus mehreren fest verschalteten Transistoren und führt eine bestimmte logische Funktion (AND, OR, NAND usw.) aus. Die Signallaufzeiten eines Inverters, bestimmen das Binning des TDC's. Durch die Bildung einer Kette von Invertiern mitteln sich die durch unterschiedliche Signallaufzeiten verursachten Fehler im Ergebnis aus.

Der Vorteil des verwendeten Meßprinzips liegt in der fehlenden Konversionszeit. Ein TDC nach dem sonst verwendeten Prinzip, bei dem die Eigenschaften eines Kondensators ausgenutzt werden, hätte im Rahmen des HADES - Auslesekonzeptes zu langen Totzeiten und damit zum Verlust von Ereignissen geführt. Ein weiterer Vorteil des verwendeten Meßprinzips ist die hohe Integrationsdichte. Erst diese ermöglicht den Einsatz des TDC's direkt am Detektor, wo wenig Platz zur Verfügung steht. Das Meßprinzip wurde erst durch die Erhöhung der Integrationsdichte möglich, da die Signallaufzeit proportional zur Größe der Strukturen ist. Nachteil dieses Prinzips ist allerdings eine erhöhte Temperatur- und Spannungsabhängigkeit gegenüber den gebräuchlichen Prinzipien.

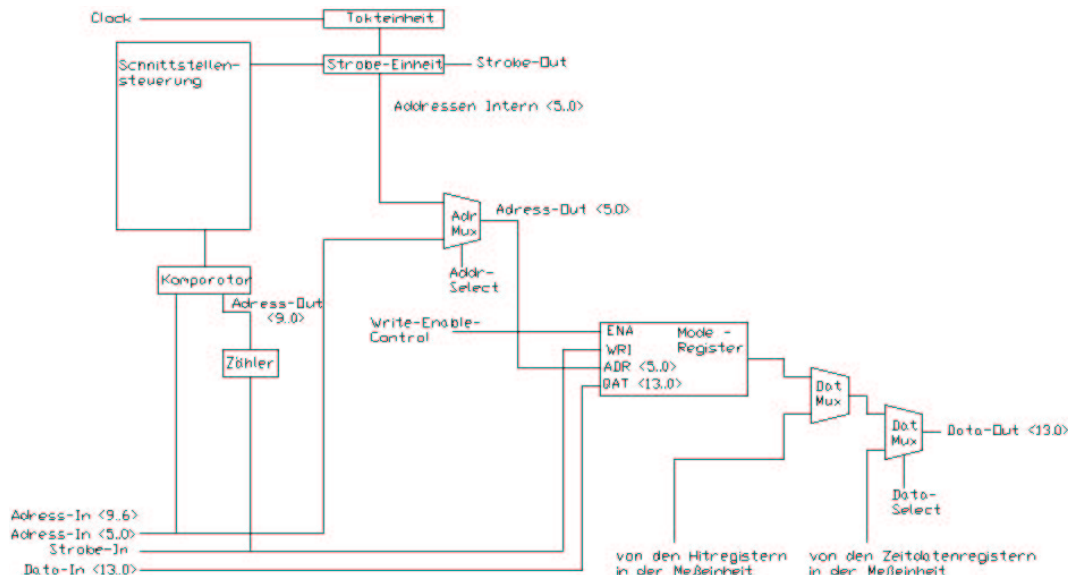


Abbildung 5.3: Blockschaltbild der TDC - Rechnerschnittstelle. Nach [Gle96]

Da die Schaltzeit der Gatter stark temperatur- und spannungsabhängig ist, muß entweder auf die Konstanz dieser Parameter besonders geachtet, oder die Zeitmessung regelmäßig geeicht werden. Dazu besitzt der TDC eine interne Kalibrierungsfunktion. Bei Aktivierung dieser Funktion generiert der TDC aus dem externen Takt vier Pulse gleicher Dauer und Länge. Drei dieser Pulse werden als Startpuls in die Meßeinheit eingespeist. Der vierte Puls stoppt die Meßeinheit. Dadurch erhält man bis zu sechs Hits. Drei für das Triggern auf die erste Flanke und drei für die zweite Flanke.

5.4 Die Rechnerschnittstelle

Die Rechnerschnittstelle besitzt vier Initialisierungsregister. Zwei davon bestimmen, welche Kanäle für die Messung bzw. die Kalibrierung freigegeben werden. Mit den beiden anderen Registern werden die Eigenschaften von Meßeinheit und Rechnerschnittstelle konfiguriert. Im Anhang D sind die Initialisierungsregister beschrieben.

Abbildung 5.3 zeigt den Aufbau der Rechnerschnittstelle des TDC's. Die Takteinheit erzeugt aus dem angelegten 5 MHz-Takt den intern benötigten Takt von 50 MHz. Dieses Verfahren wird eingesetzt, um hochfrequente Störungen auf dem externen digitalen Bus zu vermeiden. Mit dem internen Takt wird die Strobe-Einheit gesteuert. Sie erzeugt alle intern benötigten Pulse. Der Strobe Puls wird auch aus dem Chip herausgeführt und kann dort zur Synchronisation externer

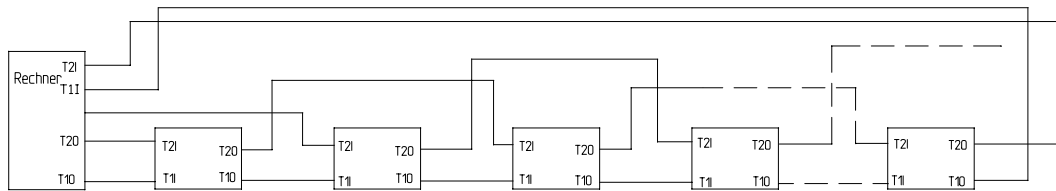


Abbildung 5.4: Blockschaltbild der TDC - Kette. Auf diese Weise können bis zu 15 TDC - Chips zusammengeschaltet werden. Nach [Gle96]

Logik verwendet werden. Wenn der TDC so eingestellt ist, daß er die Steuerdaten herausschreiben soll, wird die Strobe - Einheit mit Eintreffen des Tokensignals freigeschaltet. Daraufhin generiert sie acht Pulse, die zum Anwählen der vier Initialisierungsregister und der vier Hitregister über den Adressmultiplexer verwendet werden. Die Ausgabe geschieht über zwei Datenmultiplexer.

Das bereits erwähnte Tokensignal ermöglicht es, mehrere Chips in einer Kette miteinander zu verbinden, da jede Schnittstelle über einen Ausgang das Tokensignal weitergibt, sobald sie ihre Arbeit erledigt hat. Die Daten- und Adressleitungen können also alle TDC-Chips in einer Kette wie ein Bus verbinden.

Durch die Möglichkeit der Wahl zwischen zwei verschiedenen Tokenausgängen mittels Bit 9 im Steuerregister 0 (vgl. Tabelle D.1 auf Seite 72) ist es möglich, defekte Chips in der Kette zu umgehen. Dazu verbindet man die Token-1-Ausgänge jeweils mit den Token-1-Eingängen des nächsten Chips und die Token-2-Ausgänge mit dem Token-2-Eingang des übernächsten Chips. Da die Tokeneingänge intern mit einem ODER verknüpft werden, ist es egal, über welchen Eingang das Token eintrifft. Abbildung 5.4 zeigt wie die TDC Chips dabei verschaltet werden.

5.5 Die Betriebsmodi des TDC's

Beim Betrieb des TDC's unterscheidet man zwei Betriebsmodi: den „Token“-Modus und den „Chip select“-Modus. Im „Chip select“-Modus wird jeder Chip über seine individuelle Adresse angesprochen, die er bei der Initialisierung erhält. Die Adressierung hängt dabei von der Art der angesprochenen Daten ab. Bei der Auslese der Zeitdaten wird in der Adresse neben der Chipnummer auch die Kanalnummer und die Nummer des auszulesenden Hit's angegeben. Beim Zugriff auf die Kontrollregister hingegen wird neben der Chipadresse nur noch die Registernummer angegeben. Für die Erzeugung der Adresse ist die externe Logik verantwortlich. Beim Anlegen des Signales „Chip select“ wird die interne Takterzeugung abgeschaltet, da die Steuerung über die externe Logik geschieht.

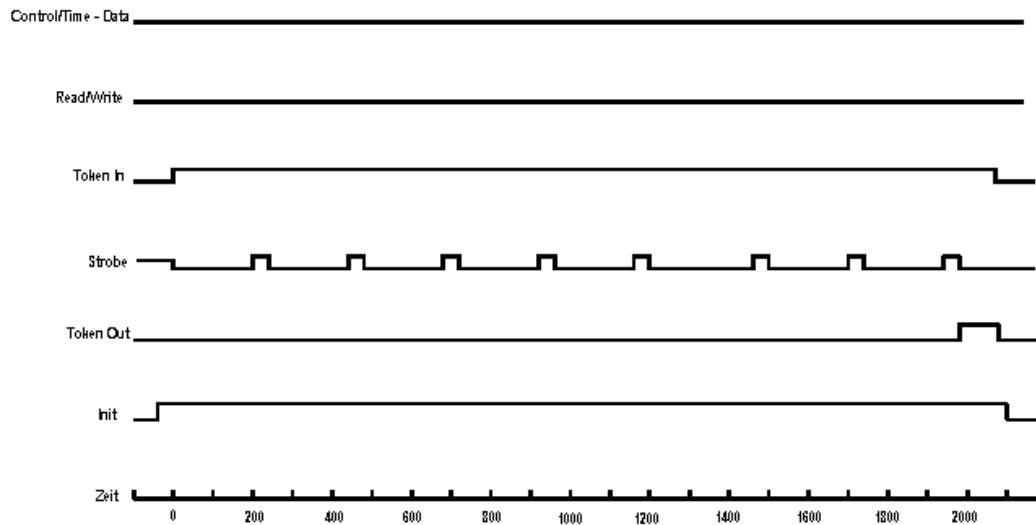


Abbildung 5.5: Zeitdiagramm für die Initialisierung von acht TDC-Chips in einer Kette. Das Strobe-Signal ist im Gegensatz zu den anderen Signalen Low Aktiv.

Im „Token“-Modus erzeugt die Rechnerschnittstelle die Adressen selbst, da hier ein fester Ablauf eingehalten wird. Die Steuerleitungen spezifizieren die durchzuführende Aktion, die bei Eintreffen des Tokensignals ausgeführt wird. Da das Tokensignal nur an den ersten Chip der Kette von außen angelegt wird und dieser es erst nach Abschluß der Aktion an den nächsten Chip weiterleitet, ist gewährleistet, daß nie zwei Chips gleichzeitig auf den Bus zugreifen. Die zeitliche Abfolge der Signale auf dem Bus wird dabei durch die Takteinheit gesteuert. Deren Takt wird über ein Initialisierungsregister eingestellt. Damit wird es möglich, eine Dauer von 240ns pro Datenwort bis hinunter zu 40ns pro Datenwort einzustellen. Beim Lesen der Register wird mit der ersten Flanke des „Strobe“-Pulses vom Chip die Adresse des auszugebenden Registers auf den Adressbus gelegt. Mit der zweiten Flanke folgt auf dem Datenbus der Inhalt des entsprechenden Registers. Beim Lesen der Initialisierungsregister im „Token“-Modus schreibt jeder Chip die Inhalte der vier Initialisierungsregister und anschließend den Inhalt der vier Hitregister. In diesen Registern wird von jeweils zwei Kanälen die Anzahl der Hits abgelegt. Beim Lesen der Zeitdaten hängt die Anzahl der vom Chip gelieferten Datenwörter davon ab, ob die Nullunterdrückung aktiviert ist, wieviele Hits der Kanal maximal liefern kann und auf welche Flanken des Startsignales getriggert wird. Bei aktivierter Nullunterdrückung werden nur Datenwörter die von „Null“ verschieden sind geliefert. Andernfalls werden die Zeitdatenregister von Kanal 1 bis Kanal 8 geliefert, unabhängig davon ob das Register „Null“ enthält oder einen Zeitwert.

Schreibend kann nur auf die Initialisierungsregister zugegriffen werden. Dabei muß für jeden Chip der Kette für jedes der vier Initialisierungsregister ein Datenwort zur Verfügung gestellt werden. Bei Eintreffen des Tokens erzeugt der Chip einen Strobepuls mit dem die externe Logik aufgefordert wird, das Datenwort für das erste Initialisierungsregister auf dem Datenbus anzulegen. Zum Zeitpunkt der zweiten Flanke dieses Pulses übernimmt die Rechnerschnittstelle das Datenwort in das erste Initialisierungsregister. Dieser Vorgang wiederholt sich für die drei übrigen Register bevor das Tokensignal an den nächsten Chip weitergegeben wird.

Abbildung 5.5 zeigt den zeitlichen Verlauf der Signale bei der Initialisierung von acht TDC - Chips.

Kapitel 6

Tests des TDC

6.1 Problemstellung

Die Zeitauflösung des TDC-Chips ist der wichtigste Designparameter des HADES -TDC. Sie muß besser sein als die intrinsische Zeitauflösung der Driftkammer. Aus der Ortsauflösung und der mittleren Driftgeschwindigkeit ergibt sich die benötigte Zeitauflösung zu :

$$\delta t \simeq 0.5 \cdot \frac{\delta x}{v_D} \quad (6.1)$$

wenn der Einfluß der TDC - Auflösung kleiner als 10 % sein soll. Um eine solch gute Auflösung zu erreichen, müssen zwei Aspekte erfüllt sein. Zum einen sollte der kleinste Zeitschritt („least significant bit“) deutlich kleiner als die geforderte Auflösung sein. Zum anderen muß bei der fortlaufenden Digitalisierung eines konstanten Zeitwertes das Ergebnis nicht stärker streuen als $\sqrt{\sigma_t^2}$.

Für das bei HADES verwendete Gasgemisch von 70% Helium und 30 % Isobuthan beträgt die Driftgeschwindigkeit $\approx 4 \text{ cm}/\mu\text{s}$. Die Ortsauflösung der HADES -Driftkammer wurde mit Hilfe konventioneller TDCs sehr guter Auflösung ($\delta t \approx 100 \text{ ps}$) zu $70 \mu\text{m}$ bestimmt.

Dadurch ergibt sich die Anforderung, daß die Zeitauflösung der TDC - Chips nicht schlechter als

$$\frac{70}{40} \cdot 0,5 \frac{\mu\text{m ns}}{\mu\text{m}} \approx 0,87\text{ns} \quad (6.2)$$

sein soll.

6.2 Zu untersuchende Parameter

6.2.1 Zeitauflösung

In Kapitel 5 wurde bereits beschrieben, daß der Meßkreis aus 16 zu einem Ring verschalteten Invertern besteht. Die Schaltzeit eines einzelnen Gatters bestimmt die Kanalbreite des TDC's. Diese muß jedoch nicht zwingend für jedes der 16 Gatter gleich sein. In Abschnitt 6.2.4 wird auf diese Problematik eingegangen. Die intrinsische Auflösung bzw. Schwankung, deren Ursache statistischer Natur sind, kann jedoch auch durch äußere Parameter beeinflusst werden die unter Umständen schnell veränderlich sind.

6.2.2 Spannungsabhängigkeit

Die Eigenschaften von Halbleiterbauelementen sind abhängig von der Betriebsspannung. Im Falle des TDC's äußert sich dies durch unterschiedliche Meßwerte bei gleicher Zeitdauer zwischen Start- und Stoppuls in Abhängigkeit von der angelegten Versorgungsspannung. Es ist wichtig, die Auswirkungen von Änderungen der Versorgungsspannungen zu kennen, da schon Änderungen im Betriebsmodus des TDC's unter Umständen zu Schwankungen in der Versorgungsspannung führen können. Aus einem Netzteil wird man nie eine ideale Gleichspannung entnehmen können, da dieser immer Schwankungen aus dem Regelkreis überlagert sind. Kennt man die Auswirkungen einer Versorgungsspannungsänderung, so kann man geeignete Maßnahmen zur Stabilisierung treffen oder die Versorgungsspannung mitprotokollieren, so daß man später die Meßwerte kalibrieren kann.

6.2.3 Temperaturverhalten

Eine Erhöhung der Temperatur des Chips führt zu einem Absinken des Meßwertes bei gegebenem Zeitabstand. Im Halbleitermaterial befindet sich bei Zimmertemperatur eine gewisse Anzahl an freien Ladungsträgern. Durch Erhöhung der Temperatur nimmt diese zu. Im Anhang A werden die physikalischen Zusammenhänge näher erläutert.

Eine Untersuchung des Temperaturverhaltens ist aus mehreren Gründen wichtig. Das Material setzt dem elektrischen Strom einen Widerstand entgegen. Dabei wird ein Teil der elektrischen Energie in Wärme umgesetzt, wodurch sich der Chip von selbst erhitzt. Diese Energiemenge bezeichnet man als Verlustleistung eines Bauteils. Sie ist abhängig von der Versorgungsspannung und liegt in der Regel im Bereich zwischen einigen mW und einigen 100 mW. Wichtig ist die Kenntnis der Zeitkonstanten dieser Erwärmung. Sie bestimmt, wie lange man nach dem Beginn der Messung warten muß bis der TDC in ein thermodynamisches Gleichgewicht mit der Umgebung gekommen ist. Sie kann direkt aus den Meßwerten abgelesen werden, wenn die Temperatur während der Messung konstant blieb.

Aus dem Temperaturverhalten des TDC kann man eine Aussage treffen, wie oft eine Kalibrierung während eines Experimentes nötig ist. Je nach Größe des Temperatureinflusses kann es nötig sein, die Temperatur des Chips während des Experimentes zu messen. Dabei ist zu beachten, daß das Gehäuse des TDC eine endliche „Wärmeleitfähigkeit“ hat, und daher die Oberflächentemperatur dieses Gehäuses nicht notwendigerweise die Temperatur des Halbleiters im Inneren wiedergibt. Diese ließ sich im Rahmen der Testmessungen nicht feststellen, denn dazu müßte ein geöffneter Chip in einen Raum mit stabiler Temperatur gebracht werden. Hier bestünde dann die Möglichkeit, die Erwärmung des Halbleiterplättchens mittels eines Infrarotsensors zu messen. Die Temperaturabhängigkeit der Zeitmeßeinheit läßt sich bestimmen, indem der TDC langsam aber kontinuierlich erwärmt wird und gleichzeitig kontinuierlich ein konstanter Zeitwert gemessen wird. Aus den Ergebnissen dieser Messung erhält man die Information um wieviel der Meßwert sich bei einer Erwärmung verändert.

6.2.4 Differentielle Nichtlinearität

Die in Abschnitt 6.2.1 beschriebene Kanalbreite ist nicht die tatsächliche Schaltzeit eines einzelnen Flip - Flops, sondern die gemittelte Kanalbreite über viele Umläufe. Für die Bestimmung der Schaltzeit eines einzelnen Flip - Flops kann die Kalibrierungsfunktion des TDC's nicht eingesetzt werden. Der Abstand zwischen Start- und Stoppuls ist um ein Vielfaches größer als die Schaltzeit eines Flip - Flops. Diese läßt sich entweder mit einem externen Pulser bestimmen, der in der Lage ist, eine Sequenz von Start- und Stoppulsen mit veränderbaren Abständen zu generieren, die in Schritten von ≈ 10 ps einstellbar sein sollten. Oder man bedient sich eines Zeit - Kalibrators, der ein „weißes“ Zeitsignal zur Verfügung stellt. Abbildung 6.1 zeigt als Beispiel das Ergebnis einer Messung mit dem TDC2001. Diese Messung wurde unter Verwendung eines Pulsers durchgeführt, der sich in Schritten von 10 ps verstellen ließ.

6.3 Experimenteller Aufbau

Die Untersuchungen des TDC's wurden an einem Prototyp-Motherboard mit Prototypversion der Ausleseelektronik durchgeführt. Der Unterschied des Prototypmotherboard besteht einmal in der Größe und zum anderen in der Schnittstelle zur Auslesesteuerungseinheit. Das Motherboard ist in der Prototypversion größer als das endgültige Design es erlaubt. Zudem wird sich an der Schnittstelle zwischen Auslesesteuerungseinheit und Konzentrador noch etwas ändern. In der Prototypversion wird hierfür eine spezielle Schnittstellenkarte verwendet, die in der Lage ist, Leitungen von bis zu 70 Meter Länge zu treiben.

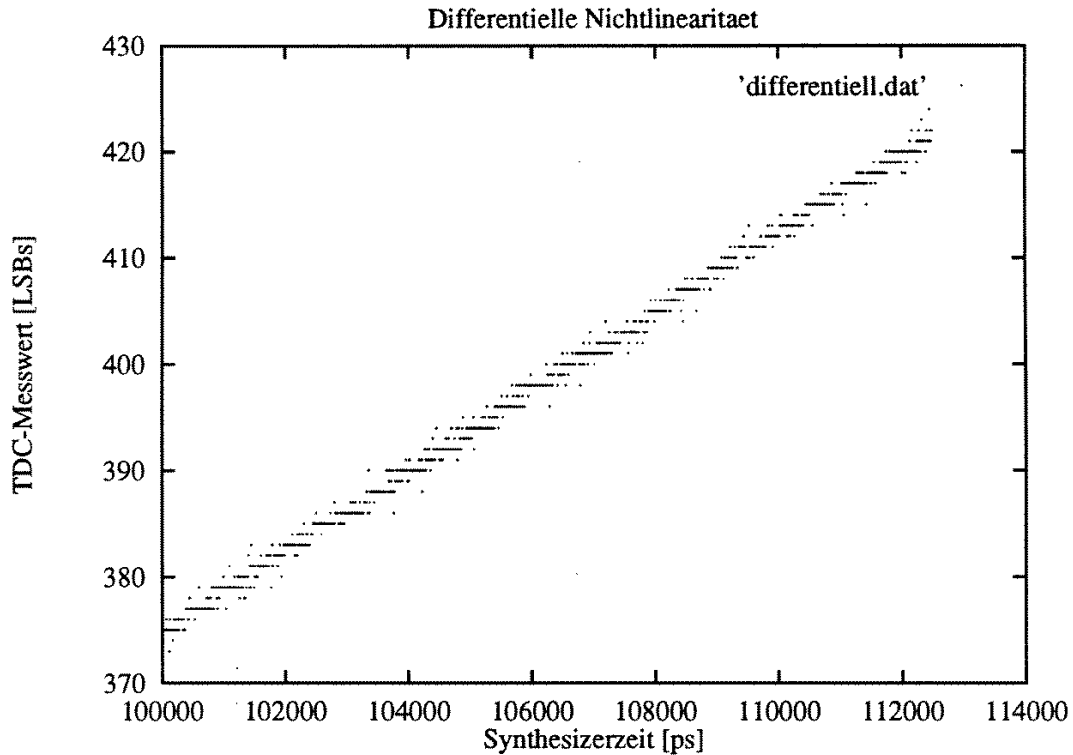


Abbildung 6.1: Aus [Git94] Seite 23. Beispiel einer Messung zur Bestimmung der differentiellen Nichtlinearität. Gemessen wurde am TDC 2001, dessen Meßeinheit identisch ist mit der des HADES-TDC. Die Abstände der Start- und Stoppulse wurden in Schritten von 10 ps im Intervall von 10-20 ns verändert (Synthesizerzeit). Für jeden Schritt wurde genau eine Messung durchgeführt.

Auf der Auslesesteuerungseinheit ist bisher noch keine Ablaufsteuerung implementiert. Die Funktionen dieser Karte beschreibt Anhang B. Von der Auslesesteuerungseinheit werden die Signale über eine Schnittstellenkarte zu einem VME-Modul geführt, das im Prinzip nur eine Abbildung des VME-Bus auf den verwendeten differentiellen Bus durchführt.

Abbildung 6.2 skizziert den verwendeten Testaufbau. Ein NIM-Signal, das durch setzen eines Bits im Kontrollregister des SAT-Modules erzeugt wird, triggert den Pulsgenerator (HP 33120A). Dieses Signal wird über ein FAN-OUT auf zwei Wege aufgeteilt. Der erste Weg führt über einen Pegelanpasser (Level-Adapter) zum Eingang der AHTDC-Karte. Diese erzeugt aus dem positiven Puls ein differentielles Signal, das zur Ansteuerung der TDC-Meßeingänge dient. Durch diese Karte wird bei den Testmessungen die Analogkarte ersetzt. Der zweite Weg des Signales führt über ein Verzögerungskabel (Maximalverzögerung 900 ns \rightarrow Kabellänge 180 m) und einen weiteren Pegelanpasser zum Commoneingang des TDC's. Durch dieses Signal wird die Zeitmessung variable angehalten. Das Si-

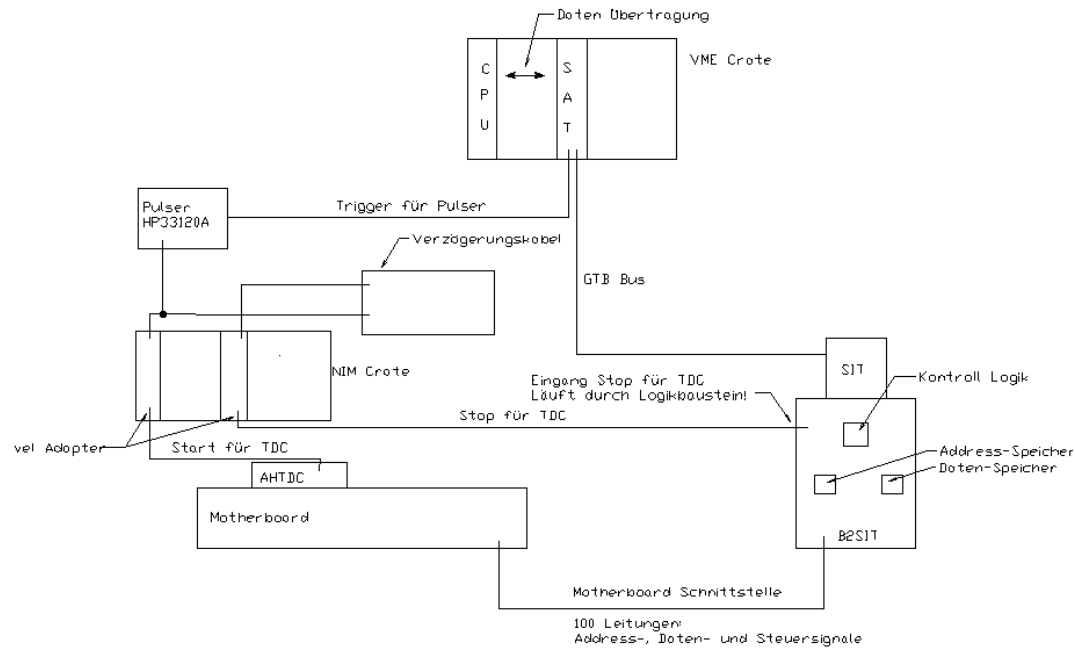


Abbildung 6.2: Skizze des Aufbaus zum Testen der TDC - e geführt.

gnal wird dabei über die Prototypkarte des Auslesekontrollers geführt und dort durch den programmierbaren Logikbaustein. Die Auslese der Zeitdaten geschieht in einen Speicherbaustein auf dem Auslesekontroller. Aus diesem können sie vom Prozessor gelesen werden, um sie zur späteren Analyse abzuspeichern. Zum Untersuchen des Temperaturverhaltens wurden mehrere Temperaturfühler angebracht. Gemessen wurde die Umgebungstemperatur, die Temperatur des bei den Messungen verwendeten TDC - Chips und die Versorgungsspannung. Die Daten wurden durch einen CAMAC ADC¹ digitalisiert und von der Software ausgelesen.

6.4 Initialisierungs- und Ausleseprogramm

Der Auslesesoftware für die Tests liegt eine in C++ geschriebene Klassenbibliothek zu Grunde. Für jedes der verwendeten Hardwaremodule existiert in dieser Bibliothek eine Klasse. Dadurch werden alle Funktionen zum Zugriff auf ein Hardwaremodul in einem Codemodul zusammengefaßt. In Anhang C wird die Klassenbibliothek dargestellt.

Neben den acht TDC's eines Motherboardes wurde die Temperatur von TDC und Umgebung und die Versorgungsspannung des Motherboardes durch einen CAMAC - ADC gelesen.

¹Analog to Digital Conveter

Um die Belastung des TDC's soweit wie möglich den späteren Verhältnissen im Experiment anzupassen, wurden zwei verschiedene Betriebsarten implementiert. Im Modus „In Spill“ wird so oft wie möglich eine Messung durchgeführt. Die Daten werden nach jeder Messung auf die Auslesesteuerungseinheit ausgelesen. Von dort werden sie aber nur einmal in der Sekunde vom Prozessor gelesen, um sie abzuspeichern. Im Modus „Off Spill“ wird nur jede Sekunde eine Messung durchgeführt. In diesem Modus werden die Ergebnisse jeder Messung vom Prozessor ausgelesen und zur späteren Analyse abgespeichert. Dieser Modus wurde implementiert, um das Verhalten des TDC's nach Beendigung einer Belastung zu studieren.

Die Art der Messung läßt sich frei wählen. Die Software kann den TDC sowohl mit interner Kalibrierung als auch mit einem externen Puls betreiben. Bei Verwendung des externen Pulses erreicht die Software beim Modus „In Spill“ eine Frequenz von 15 bis 20 kHz. Die Schwankungen der Frequenz werden durch das Betriebssystem des verwendeten Rechners verursacht. Die Ausleserate im Experiment wird bei 100 kHz liegen und somit ungefähr einen Faktor 5,5 über der Rate im Testexperiment.

6.5 Ergebnisse

6.5.1 Zeitauflösung

Um die Zeitauflösung des TDC's bestimmen zu können, muß man zunächst die Kanalbreite kennen. Diese läßt sich am einfachsten aus den Daten der internen Kalibrierung gewinnen. Abbildung 6.3 zeigt das Ergebnis einer Messung, die unter Verwendung der internen Kalibrierung durchgeführt wurde. Dabei wurde der TDC immer im Token-Modus betrieben. Die TDC-Meßwerte können nur diskrete Werte annehmen, im Gegensatz zu den Temperaturwerten. Dadurch liegen die TDC-Meßwerte immer auf parallelen Linien im Abstand einer Skaleneinheit. Aus den Meßwerten von Abbildung 6.3 erhält man eine Kanalbreite von 220 ps. In die Berechnung geht die Breite des Kalibrierpulses mit 150 ns ein, so daß die gemessene Zeit 900 ns beträgt. Die Versorgungsspannung betrug 5 V. Die Temperatur läßt sich aufgrund eines Datenunfalls nicht mehr rekonstruieren. Da der Meßaufbau sich in einem normalen Arbeitszimmer befand und die Messung bei Nacht durchgeführt wurde, wird sie um 19°C betragen haben.

Abbildung 6.4 zeigt eine Messung die unter Verwendung des „Off Spill“-Modus durchgeführt wurde. Die Messung dauerte 30 Minuten. Als Signalquelle wurde der externe Puls verwendet. Die Häufigkeitsverteilung zeigt, daß die Zeitauflösung des TDC's in diesem Modus kleiner als eine Kanalbreite ist ($\sigma \approx 0,5 \cdot$ Kanalbreite).

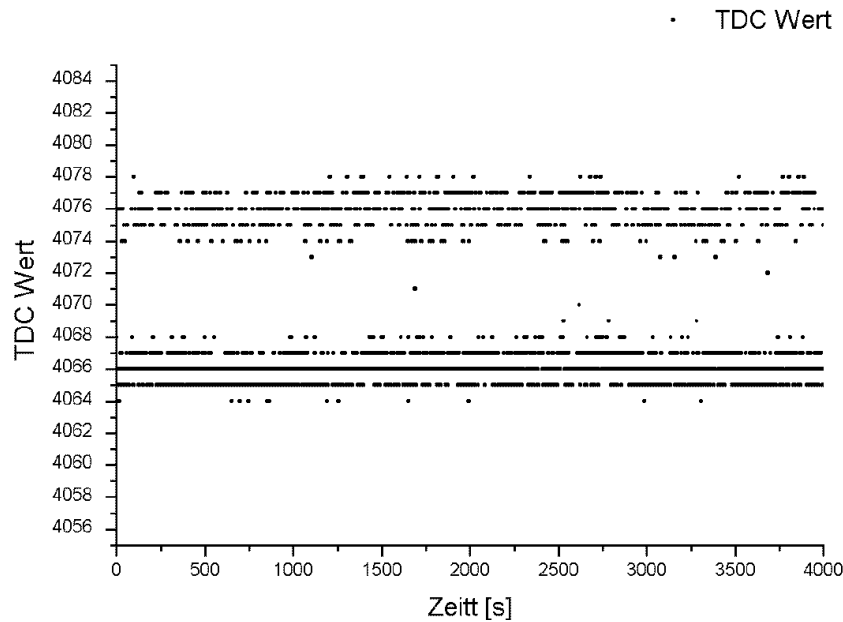


Abbildung 6.3: *TDC Messung mit interner Kalibrierung. Der TDC wurde während der gesamten Messung immer im Tokenmodus betrieben.*

Abbildung 6.5 zeigt eine Messung im Modus „In Spill“. Ansonsten gelten die gleichen Bedingungen wie für die vorher beschriebene Messung. Die Häufigkeitsverteilung zeigt hier zwei Spitzen, von denen jede für sich genommen eine Breite von $0,5 \cdot \text{Kanallbreite}$ hat.

Die Diskussion der Ergebnisse findet sich in Abschnitt 6.6.

6.5.2 Spannungsabhängigkeit

In Abbildung 6.6 und 6.7 ist die Abhängigkeit des TDC - Meßwertes von der Versorgungsspannung dargestellt. Gezeigt ist der Spannungsbereich von 4,0 V bis 5,0 V. Unterhalb von 4,0 V arbeiten die Treiber für die Verbindung zum Auslesekontroller nicht mehr stabil. Nach oben wird die Spannung durch die maximale Versorgungsspannung, die die Bauteile vertragen, begrenzt.

Die relative Meßwertänderung als Funktion der Versorgungsspannung beträgt $0,21 \pm 0,01 \text{ } / \infty \text{ } \text{ pro mV}$. Die Messung wurde im Modus „In Spill“ durchgeführt.

6.5.3 Temperaturverhalten

Abbildung 6.9 zeigt einen Ausschnitt aus einer insgesamt 16 Stunden dauernden Messung. Die Messung wurde während der Nachtstunden durchgeführt. Dadurch war es möglich, die natürliche Abkühlung in den Abendstunden und die Erwärmung am Morgen auszunutzen. Der TDC - Chip befindet sich dabei während

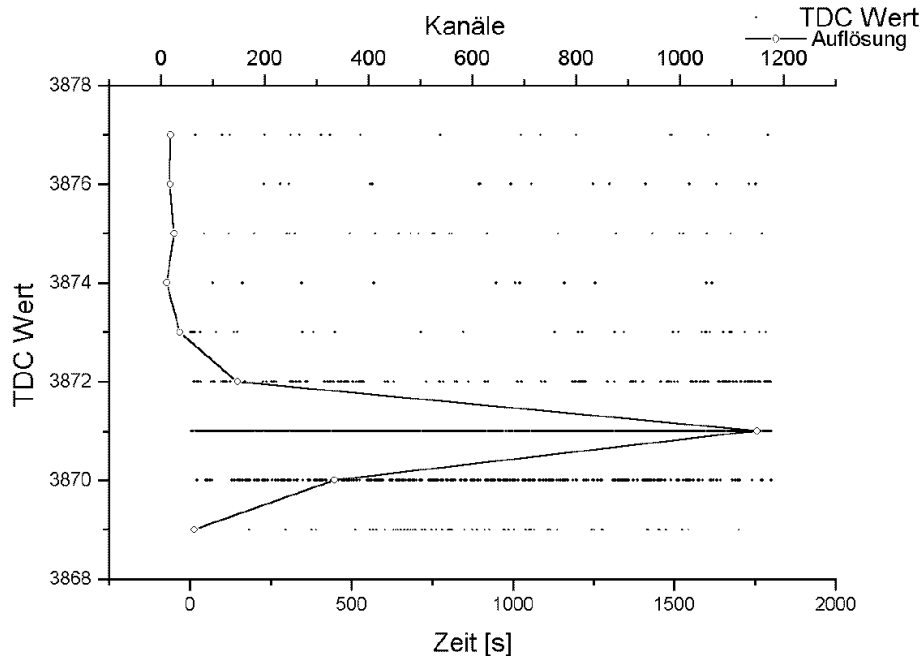


Abbildung 6.4: Zeitauflösung des TDCs gemessen „Off Spill“. Die Punkte geben die TDC-Messwerte aufgetragen gegen die Zeit wieder. Die Linie gibt die Verteilung der Häufigkeit der Messwerte wieder. Die Temperatur des TDC Chips betrug während der Messung $22,2^{\circ}\text{C}$.

der Temperaturänderung ständig im thermischen Gleichgewicht mit seiner Umgebung. Abbildung 6.8 zeigt die komplette Messung. Nach exakt 2 Stunden und 20 Minuten setzte eine kontinuierliche Erwärmung des Laborraumes ein. Aus der Korrelation von Chiptemperatur und Meßwert läßt sich der Temperatureffekt auswerten: die Temperaturabhängigkeit des Meßkreises beträgt $0,21 \pm 0,001 \text{ }^{\circ}/\infty$ pro $^{\circ}\text{C}$.

6.6 Diskussion

6.6.1 Experimenteller Aufbau

Neben den eigentlichen Tests der TDC-Meßeinheit wurde auch untersucht, wie sich der TDC bei Einspeisung des Startsignals über die Analogkarte verhält. Dazu wurde der digitale Pulsgenerator (HP33120A) durch einen analogen (HP8082A) ersetzt. Dieser ist in der Lage, einen Puls zu erzeugen wie er von der Driftkammer geliefert wird. Das Ausgangssignal wurde über Vorwiderstände in die Analogkarte eingespeist. Das Verfahren führte allerdings dazu, daß am Ausgang des Pulsformers das Signal von Puls zu Puls zeitlich gering ($\approx 20 \text{ ns}$)

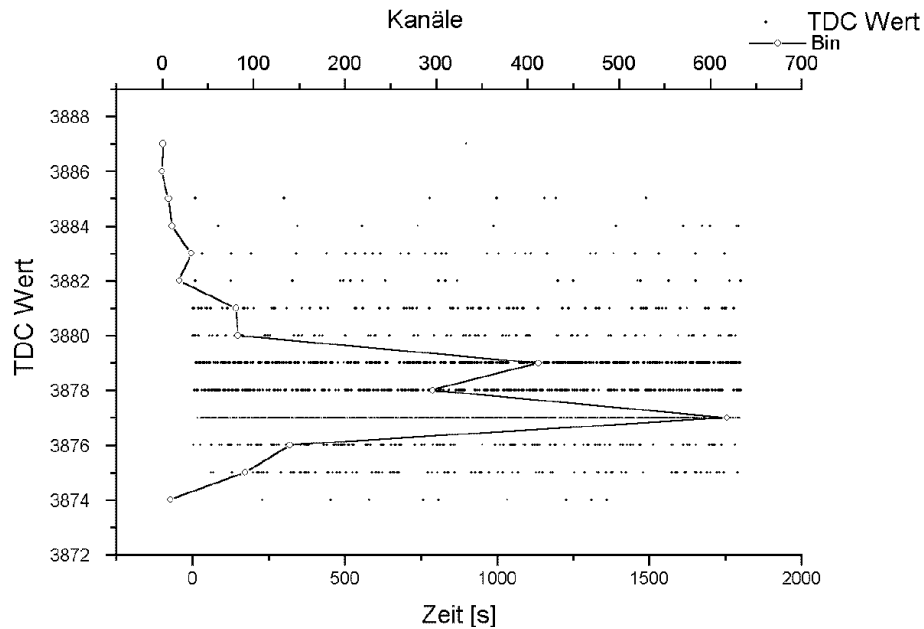


Abbildung 6.5: Zeitauflösung des TDCs gemessen „In Spill“. Die Punkte geben die TDC - Meßwerte aufgetragen gegen die Zeit wieder. Die Linie gibt die Verteilung der Häufigkeit der Meßwerte wieder.

verschoben war. Vermutlich führte die gewählte Methode der Einspeisung zu einer Übersteuerung des Eingangsverstärkers der Analogkarte. Dies verursachte nicht tolerierbare Streuungen der TDC- Meßwerte. Die zur Pulseinspeisung bei den Testmessungen verwendete Adapterkarte gibt am Ausgang nicht, wie von den TDC- Eingängen gefordert, ein GTL- Signal ab, sondern ein standart differentielles TTL- Signal. Die Signalpegel dieses Signales sind deutlich höher als sie vom TDC erwartet werden. Dies hat vermutlich die Ergebnisse der Testmessungen positiv beeinflusst, weil die Anstiegszeit der Pulsflanke steiler war, als sie von der Analogkarte geliefert wird.

Der Hersteller des TDC- Chips definiert GTL als ein halbdifferentielles Signal. Einer der beiden Eingänge wird dabei auf einen festen Pegel von 0,8 V gelegt. Der andere Eingang soll um diesen Pegel mit maximal 0,4 V Hub verändert werden, um einen Puls darzustellen. Bei TTL- Signalen stellt eine Spannung zwischen 3,5 und 5 Volt einen „High“- Pegel dar, und zwischen 0 und 1,5 Volt einen „Low“- Pegel. Beim differentiellen TTL liegt die eine Leitung auf positiver Spannung und die andere auf negativer.

Bei der Zeitverzögerung des Stoppsignals durch das Verzögerungskabel ist die Temperaturabhängigkeit der Verzögerung zu berücksichtigen. In die Verzögerung geht zum einen die Länge des Kabels ein. Diese ändert sich mit der Temperatur zu:

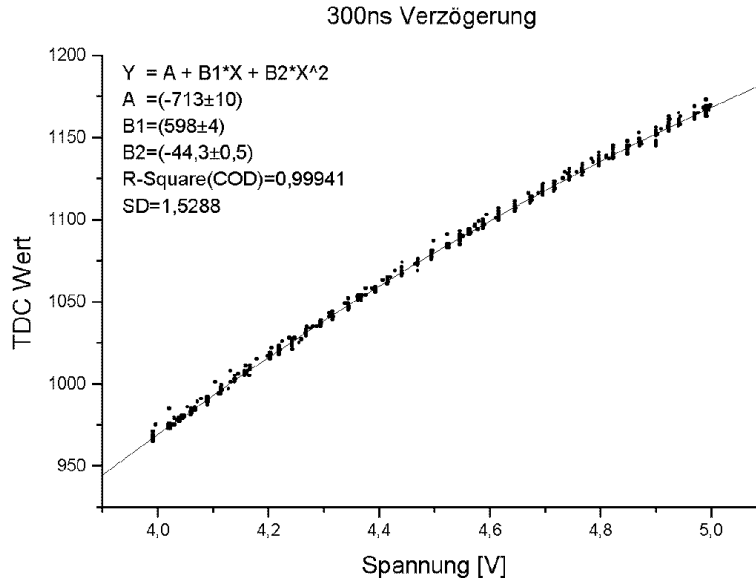


Abbildung 6.6: Verlauf der Meßwerte eines TDC-Kanales in Abhängigkeit von der Betriebsspannung. Der Abstand zwischen Start- und Stoppuls beträgt 300 ns, die Temperatur 22,5° C.

$$\Delta l = l_0 \cdot \alpha \cdot \Delta T \quad (6.3)$$

mit Δl als Längenänderung, l_0 als Länge des Kabels, ΔT als Temperaturänderung in Kelvin. α ist eine Materialkonstante, die die für Kupfer zwischen $15 \cdot 10^{-5}$ pro Kelvin und $17 \cdot 10^{-5}$ pro Kelvin liegt. Für ein 180 Meter langes Kabel ergibt sich somit bei einem α von $16 \cdot 10^{-5}$ pro Kelvin eine Längenänderung von 0,028 m. Dies entspricht einer zusätzlichen Verzögerung von 14 ns/K. Zusätzlich gibt es auch noch eine Änderung der Verzögerung durch Änderung der Dielektrizität des Dielektrikums im verwendeten Koaxialkabel. Bei der Auswertung wurde diese Änderung nicht berücksichtigt, da die Verzögerungszeit durch sie nur um 1 % verändert wird.

6.6.2 Zeitauflösung

In der Dokumentation des HADES-TDC's [Gle96] ist die Dauer eines Kalibrierungsimpulses mit 200 ns angegeben. Vergleichsmessungen mit einem externen Pulser während der Vorbereitungen zu den Testmessungen haben gezeigt, daß die Pulslänge jedoch 150 ns beträgt. Dadurch ergibt sich die Kanalbreite zu 220 ps. Bei den Messungen mit der internen Kalibrierung zeigt sich jedoch eine deutliche Verteilung der Meßwerte auf zwei, etwa vier Kanäle breite Bänder. Ursache dieser Verteilung können zum einen Spannungsschwankungen sein,

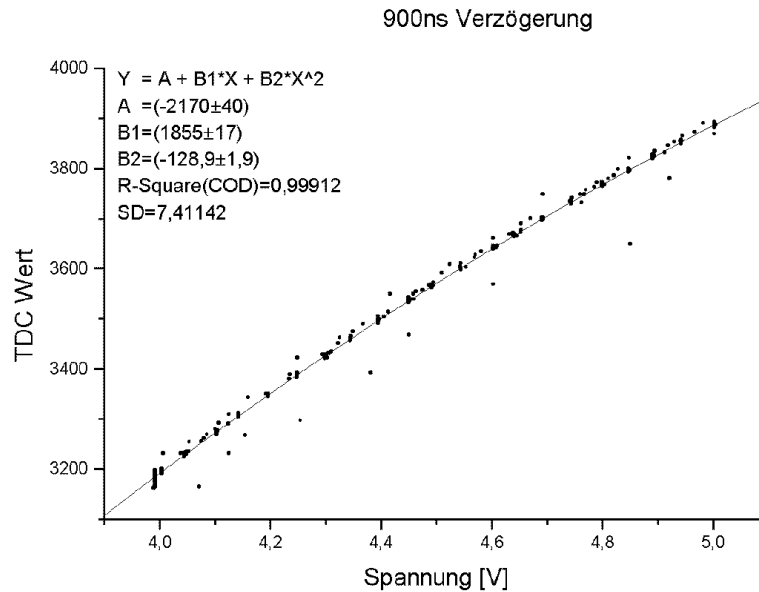


Abbildung 6.7: Verlauf der Meßwerte eines TDC-Kanales in Abhängigkeit von der Betriebsspannung. Der Abstand zwischen Start- und Stoppuls beträgt 900 ns, die Temperatur 25,5° C.

die von der Veränderung der Aktivität der Rechnerschnittstelle herrühren, da die Kalibrierungspulse in dieser erzeugt werden. Andererseits kann aber auch eine Instabilität der externen Clock Ursache dieser Struktur sein. Die Spannungsschwankungen sind offensichtlich von so kurzer Dauer, dass sie vom ADC nicht beobachtet wurden. Die externe Clock zeigt auf dem Oszilloskop keine Instabilität. Allerdings wird die Frequenz der internen Clock vom Chiphersteller mit 50 ± 10 MHz angegeben.

Die Erklärung für die Struktur der Häufigkeitsverteilung der TDC - Meßwerte bei der Messung im „In Spill“ - Modus liefert die Spannungsabhängigkeit der Meßwerte. Eine Analyse der Spannung während der Messung hat ergeben, daß sich diese um 1 mV ändert. Die Spannung wurde über den gleichen ADC wie die Temperatur gemessen. Aus der Spannungsabhängigkeit von 0,2 ‰ ergibt sich, daß der Meßwert dadurch um 7 Kanäle abweichen kann. Ein Vergleich mit der Kurve bestätigt, daß die Breite der Verteilung von der Änderung der Versorgungsspannung verursacht wird.

Die Kanalbreite des TDC2001 wird in [Git94] zu 270 ps angegeben. Dieser Chip ist in 0,8 μm Technik² gefertigt, im Gegensatz zum HADES - TDC der in 0,6 μm Technik gefertigt ist. Dadurch sollte der HADES - TDC nach Auskunft der Entwickler deutlich kleinere Kanalbreiten besitzen, was offensichtlich nicht der Fall ist.

²Besagt, daß die Strukturen auf dem Halbleiterplättchen nur 0,8 μm groß sind.

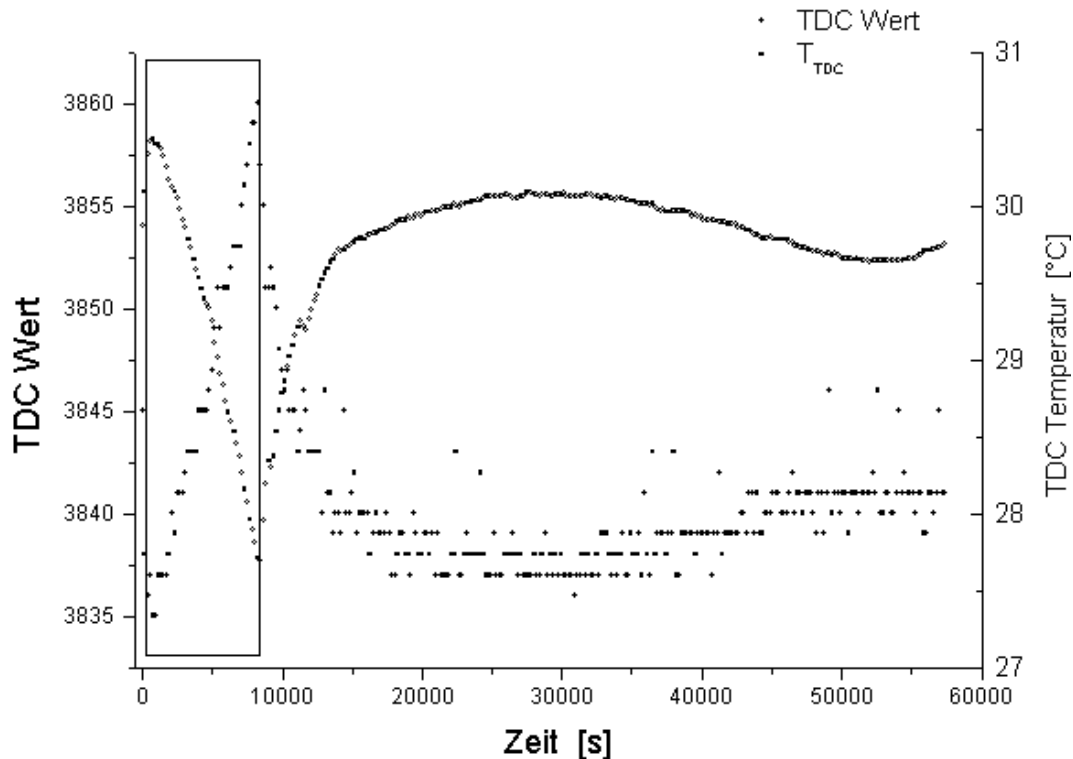


Abbildung 6.8: Temperaturabhängigkeit der TDC - Meßwerte. Gemessen wurde über eine Zeitdauer von 16 Stunden während einer Nacht. Nach exakt zwei Stunden und 20 Minuten setzte die kontinuierliche Erwärmung des Raumes ein. Die Obere Kurve gibt die Temperatur des TDC Chip wieder, die Untere die TDC - Meßwerte. Der Umrahmte Bereich ist in Abbildung 6.9 vergrößert dargestellt.

Bei der Entwicklung des Chips wurde mehr Wert auf die Verbesserung der differentiellen Nichtlinearität und die Verringerung der Stromaufnahme gelegt. Dies soll nach Aussage des Entwicklers die Kanalbreite vergrößern.

6.6.3 Spannungsabhängigkeit

Mit $0,2 \pm 0,01 \text{ } ^\circ/\text{ } _\infty$ pro mV ist die Spannungsabhängigkeit des HADES - TDC's geringfügig größer als die des TDC2001 mit $0,17 \text{ } ^\circ/\text{ } _\infty$ pro mV [Git94].

Die während der Testmessungen beobachtete Spannungsschwankung war nie größer als 1 mV. Auf dem verwendeten Motherboard waren nicht alle Spannungsversorgungsanschlüsse der TDC-Chips über Kondensatoren gepuffert, wie vom Hersteller empfohlen. Damit sollte geprüft werden, ob der Chip auch ohne diese Kondensatoren arbeitet, denn die Kondensatoren verursachen beim Erstellen der Platine Platzprobleme. Eine Motherboard, auf dem alle Kondensatoren bestückt

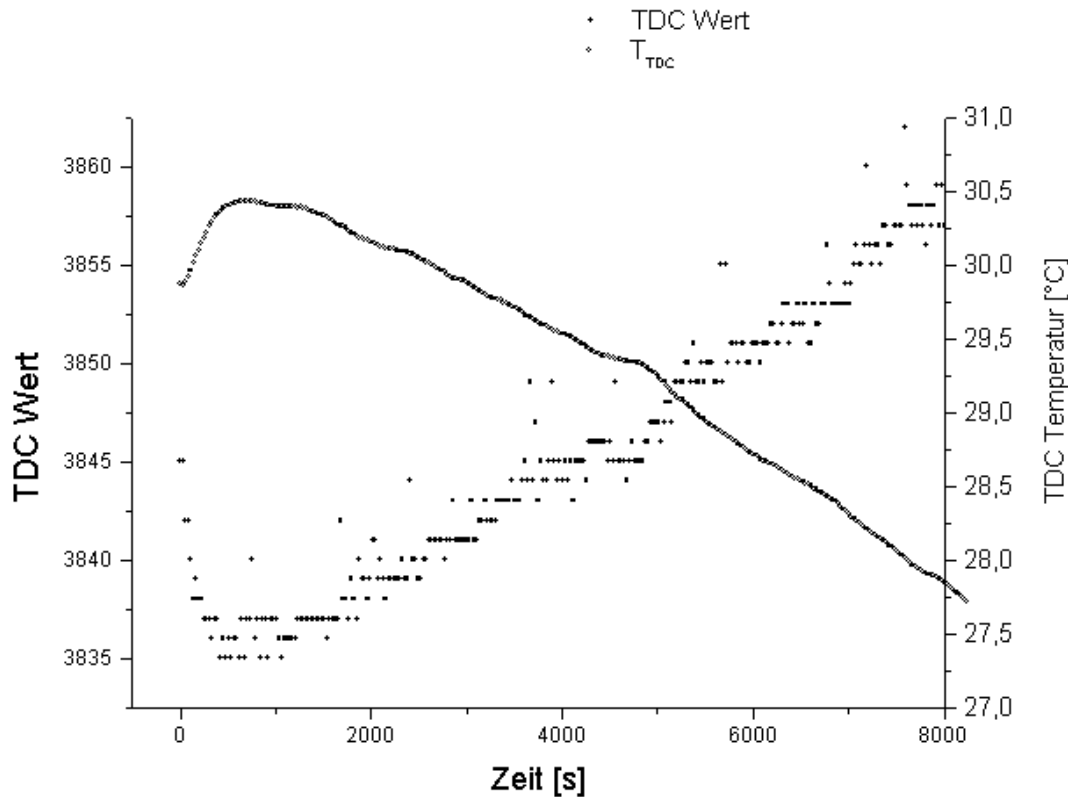


Abbildung 6.9: *Temperaturabhängigkeit der TDC-Meßwerte. Teil der Messung aus Abbildung 6.8. Die Kurve gibt die Temperatur, die Meßpunkte stellen TDC Meßwerte dar.*

waren, stand zunächst nicht zur Verfügung. Daher war es nicht möglich eine Vergleichsmessung durchzuführen. In Anbetracht der geringen Spannungsabhängigkeit erscheint dies auch nicht mehr erforderlich.

In Abbildung 6.6 und 6.7 ist durch die Meßpunkte ein Polynom dritten Grades gefittet worden, das die Daten sehr gut beschreibt. Dieser Zusammenhang erklärt sich aus den Vorgängen im Halbleiter. Zwei Effekte überlagern sich bei der Spannungserhöhung. Zum einen wird durch das Anlegen der äußeren Spannung im Bereich des pn-Überganges die ladungsträgerfreie Zone vergrößert, indem durch die angelegte Spannung die freien Elektronen und Löcher jeweils vom Übergang weggezogen werden. Dieser Effekt wird durch den linearen Anteil im Polynom beschrieben. Durch die Konzentration der Elektronen und Löcher entsteht eine größere Raumladung, die aufgrund der rücktreibenden Kraft die Elektronen und Löcher wieder zur Grenzschicht hin zieht. Dadurch wird die ladungsträgerfreie Zone wieder etwas verkleinert.

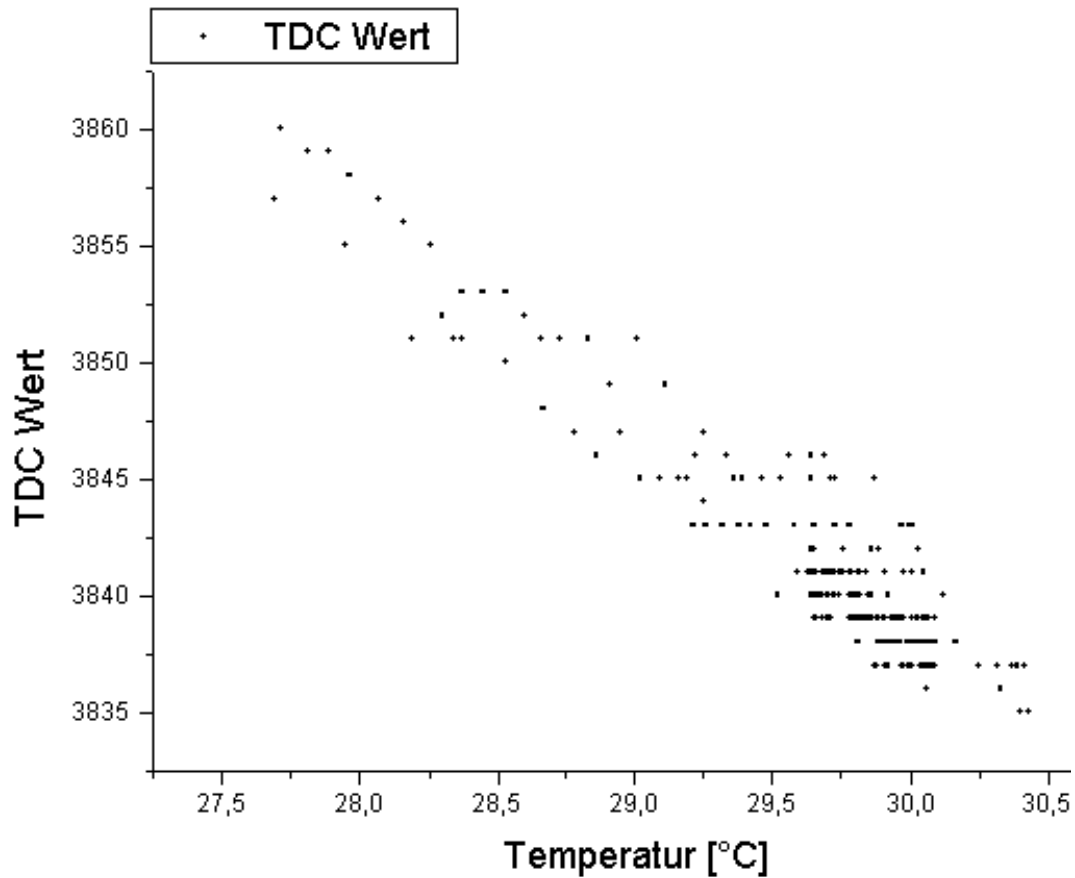


Abbildung 6.10: Temperaturabhängigkeit des TDC-Meßwertes. Darstellung der Meßwerte aus der Messung von Abbildung 6.8 gegen die Temperatur aufgetragen. Die Meßwerte zeigen einen deutlichen linearen Zusammenhang mit der Temperatur.

6.6.4 Temperaturverhalten

Der Fehler, der durch Temperaturänderungen verursacht wird, liegt bei $0,21 \pm 0,001^\circ/\text{‰}$ pro K. Im Vergleich dazu liegt der Fehler des TDC2001 bei $0,25^\circ/\text{‰}$ pro K [Git94]. Die Temperaturabhängigkeit der Meßwerte zeigt ein exponentielles Verhalten. Dies erklärt sich durch den exponentiellen Zusammenhang zwischen der Anzahl an freien Ladungsträgern und der Temperatur im Halbleiterkristall. Je höher die Temperatur des Kristalls ist, um so mehr Elektronen gewinnen durch die thermische Bewegung genug Energie, um sich aus dem Potential ihres Atomes zu befreien. Dadurch vergrößert sich die ladungsträgerfreie Zone in den Transistoren der Inverter und infolge dessen, die Signallaufzeit des Pulses im Ringzähler. Abbildung 6.10 veranschaulicht diesen Zusammenhang. Bei einer Temperatur von $28,0^\circ\text{C}$ schafft der Puls in 900 ns etwa 3860 Umläufe. Bei

30°C schafft er hingegen nur noch 3830 Umläufe. In den angegebenen Zahlen ist die Feinquantisierung enthalten. Aber da sie nur die letzte Stelle des Meßwertes (5 Bit) beeinflußt, kann sie zur Veranschaulichung des Prinzips hier unberücksichtigt bleiben.

Kapitel 7

Zusammenfassung und Ausblick

Mit dem Dileptonenspektrometer HADES sollen Dielektronen aus Kern-Kern Stößen in einem hadronischen Untergrund bei hohen Multiplizitäten untersucht werden. Die Ereignisrate von 10^6 pro Sekunde erfordert eine Auslese der Detektoren innerhalb von $10 \mu\text{s}$. Die erwarteten hohen Multiplizitäten führen zu einer hohen Granularität der Detektoren und damit auch der Ausleseelektronik. Durch die Verwendung mehrerer Triggerstufen wird eine Aufteilung des Auslesesystems auf mehrere Stufen notwendig.

Für die Auslese von ≈ 26.000 Driftzellen in 24 Driftkammermodulen wurde ein an die Anforderungen des Detektorsystems angepaßtes Auslesekonzept entwickelt. Analoge Signalaufbereitung und Messung der Driftzeit werden direkt am Detektor auf zwei miteinander kombinierten Karten untergebracht. Die nötige Integrationsdichte im Digitalisierungsteil wird durch die Verwendung eines speziellen Zeitmeßverfahrens (TDC) erreicht, das auf Signallaufzeiten in Halbleiterschaltungen basiert. Im gleichen Chip befindet sich auch eine Datenübertragungseinheit, die in der Lage ist die Daten mit der erforderlichen Geschwindigkeit zu transferieren. Durch zwei weitere Module mit Speicher zum Puffern der Ereignisdaten wird den Anforderungen des Triggerkonzeptes Rechnung getragen.

Dem verwendete Zeitmeßverfahren (Ringoszillator) ist eine Abhängigkeit der Zeitauflösung von Temperatur und Versorgungsspannung inherent. Ausführliche Messungen im Rahmen dieser Arbeit zeigen, daß die relativen Abhängigkeiten mit $0,2 \text{ ‰}$ jedoch in einem Bereich liegen, in dem sie durch geeignete Maßnahmen kontrolliert werden können. Dazu zählen die regelmäßige Kalibrierung, sowie die Messung und Überwachung von Temperatur und Versorgungsspannung.

Die Leistungsaufnahme des Auslesesystems liegt mit 5kW (total) noch um ca. einen Faktor zwei über den Spezifikationen.

Sowohl die Tests des TDC Zeitmeßteils, als auch die Simulationen zeigen die Realisierbarkeit des Systems. Dies konnte auch durch Simulationen des gesamten Auslesesystems im Rahmen einer Projektstudie zum Triggerkonzept an der Universität Giessen nachgewiesen werden.

Ein abschließender Funktionstest der Ausleseelektronik mit dem TDC an der Prototypdriftkammer im Labor ist gegenwärtig in Vorbereitung. Zur endgültigen Realisierung der Ausleseelektronik bedarf es noch der Reduzierung des Platzbedarfes sowie der Leistungsaufnahme. Zur Reduktion der Größe des Motherboards wird eine mehrlagige Platine entwickelt. Für die Anbringung der Daughterboards ist eine platzsparende Geometrie vorgesehen. Die Reduktion der Leistungsaufnahme wird hauptsächlich durch neuere Entwicklungen bei den Daughterboards möglich. Auch die Verwendbarkeit des im Rahmen eines anderen Projektes entwickelten SAM - Modules als Konzentrador für die Driftkammerauslese ist zu untersuchen. Da diese Karte auch einen DSP enthält, ist entsprechende Software erforderlich.

Die Segmentierung des modularen Spektrometersystems erlaubt den endgültigen Aufbau in mehreren Schritten. Vorgesehen ist, zunächst nur einzelne Segmente oder einzelne Ebenen der Driftkammern aufzubauen, und das komplette System erst zu einem spätern Zeitpunkt in Betrieb zu nehmen. Einzelne Komponenten können durch Neuentwicklungen ersetzt werden.

Anhang A

Anmerkungen zur Physik des Halbleiters

Der HADES-TDC-Chip ist als integrierter Schaltkreis auf der Basis eines Siliziumhalbleiters gefertigt. Als Halbleiter werden solche Stoffe bezeichnet, deren Leitfähigkeit zwischen der von Metallen und Isolatoren liegt. Bei Temperaturen nahe des absoluten Nullpunktes stehen in einem Einkristall¹ eines Halbleiters keine Elektronen für den Ladungstransport zur Verfügung. Bei Zimmertemperatur brechen einzelne Gitterbindungen durch die thermische Bewegung der Gitteratome auf, wodurch Elektronen für den Stromtransport zur Verfügung stehen. Diese Art der Leitfähigkeit wird als „Eigenleitung“ bezeichnet. Die Anzahl der freien Ladungsträger hängt exponentiell von der Temperatur ab:

$$N \approx e^{\frac{-E}{k \cdot T}} \quad (\text{A.1})$$

Mit N = Anzahl der freien Ladungsträger, E = thermische Bewegungsenergie, k = Boltzmann-Konstante und T = Temperatur.

Um die Temperaturabhängigkeit zu verringern und insgesamt die Leitfähigkeit zu erhöhen, werden in den Kristall gezielt Fremdatome eingebaut. Durch Einbau von 5-wertigen Atomen (elektronenspendende Atome, Donatoren) ergibt sich ein Überschuß an Leitungselektronen, da nur vier Elektronen zum Gitteraufbau benötigt werden. Zugabe von 3-wertigen Atomen (elektroneneinfangende Atome, Akzeptoren) führt zu einem Mangel an Elektronen, also einem Überschuß an Löchern. Das gezielte Zusetzen von Fremdatomen wird als Dotierung bezeichnet. Material mit Donatoren bezeichnet man als n-dotiert, solches mit Akzeptoren als p-dotiert. Die Positionen der Fremdatome im Kristall werden als Störstellen bezeichnet.

¹Regelmäßiger Kristall ohne Fremdatome

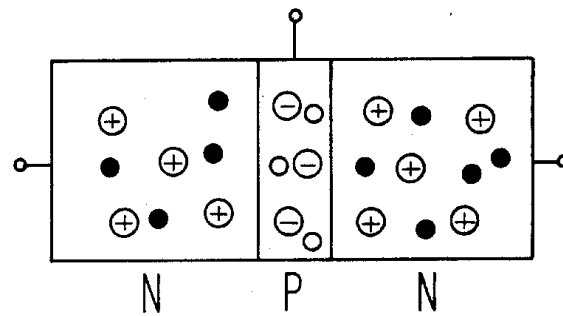


Abbildung A.1: *Prinzipieller Aufbau eines NPN - Transistors. Aus [Elz76].*

Bei Zimmertemperatur sind alle Störstellen ionisiert, da die Beweglichkeit des Überschusselektrons sehr hoch ist. Dadurch können diese Elektronen an solche Stellen im Kristall wandern, an denen Elektronen zur vollständigen Bindung der Gitteratome fehlen. Dieser Effekt ist weit weniger temperaturabhängig als die Eigenleitung.

Bringt man eine p- und eine n- dotierte Halbleiterschicht zusammen, so bildet sich an dieser Grenzschicht eine ladungsträgerfreie Zone. Die im n- dotierten Halbleiter zusätzlich zur Verfügung stehenden Elektronen rekombinieren mit den Löchern im p- dotierten Halbleiter. Diese Rekombination findet solange statt, bis sich zwischen den Schichten eine materialspezifische Spannung eingestellt hat. Diese beträgt für Silizium $\approx 0,7$ V und für Germanium $\approx 0,3$ V. Diese Spannung wird als Diffusionsspannung bezeichnet. Durch die Rekombination entsteht im Bereich der Grenzschicht eine Raumladungszone, die zu einem elektrischen Feld führt.

Ein Bauteil mit nur einer Grenzschicht wird als Diode bezeichnet. Je nach Polung der äußeren Spannung wird die ladungsträgerfreie Zone vergrößert oder vollständig beseitigt. Bauteile mit zwei PN-Übergängen werden als Transistoren bezeichnet.

Abbildung A.1 zeigt den prinzipiellen Aufbau eines bipolaren Transistors. Die mittlere Schicht wird als Basis bezeichnet, und ist etwa $100\mu\text{m}$ dick. Von den beiden äußeren Schichten wird eine als „Emitter“, die andere als „Kollektor“ bezeichnet. Abbildung A.2 zeigt die Polung der Versorgungsspannungen beim Betrieb des Transistors. Die Emitter - Basis - Diode ist in Durchlaßrichtung gepolt, die Basis - Kollektor - Diode in Sperrichtung. Ist nur eine Spannung zwischen Emitter und Kollektor angelegt, so sperrt der Transistor, da die Basis - Kollektor Diode in Sperrichtung geschaltet ist. Legt man zusätzlich zwischen Emitter und Basis eine Spannung an, so wird die Basis - Kollektor Diode in Durchlaßrichtung gepolt, und der Strom kann vom Emitter zum Kollektor fließen. Dafür reicht schon ein sehr kleiner Strom über die Emitter - Basis - Diode aus.

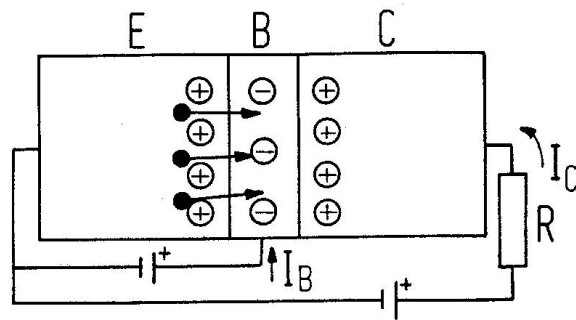


Abbildung A.2: Prinzipbild der Beschaltung eines bipolaren Transistors. Die Spannungen sind so gepolt das die **E**mitter-**B**asis-Diode in Durchlaßrichtung, die **B**asis-**C**ollektor-Diode in Sperrrichtung betrieben wird.

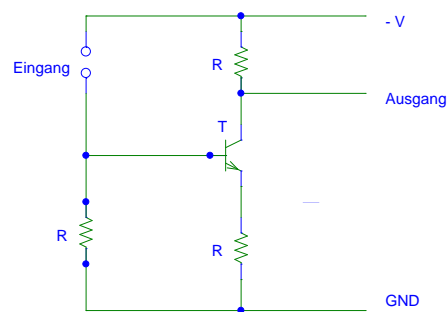


Abbildung A.3: Prinzipschaltbild eines Inverters, wie er in der Meßeinheit des HADES TDC eingesetzt wird.

Abbildung A.3 zeigt ein Prinzipschaltbild eines Inverters wie er auch in der Meßeinheit des HADES TDC eingesetzt wird. Funktion des Inverters ist es, das am Eingang anliegende logische Signal in sein logisches Gegenteil umzukehren. Eine logische „1“ wird damit zu einer logischen „0“ am Ausgang und umgekehrt.

Anhang B

Kommandos der Prototyp Auslesesteuerungseinheit

In Tabelle [B.1](#) sind die Offsetadressen des Auslesekontrollers zusammengefaßt. Diese Offsets müssen zur Adresse der Schnittstelle des verwendeten VME-Modules hinzuaddiert werden. Vier Adressen stehen für die Auslösung von Funktionen zur Verfügung.

Über die Funktion an der Offsetadresse F800hex löst man die automatische Übertragung der Daten vom bzw. zum TDC aus. Dabei wird von den Speicherbausteinen auf dem Auslesekontroller Gebrauch gemacht. Als Adresse in dieses Memory wird der Inhalt des Adreßzählers genutzt, der über die Funktion an der Offsetadresse EC00hex zurückgesetzt werden kann. Durch Zugriff auf die Adresse FC00hex löst man einen Reset der Kontrollogik aus. An der Adresse DC00hex liegt die Funktion für den Reset des DAC.

Im Gegensatz zu den Funktionsadressen dienen die übrigen Adressen zum Setzen von Register- bzw. Speicherinhalten. Die Adressen 8800hex und C800hex dienen dabei zum Schreiben bzw. Lesen der Speicherinhalte. An der Adresse 8C00hex befindet sich das Kontrollregister des Auslesekontrollers. Über dieses Register wird der TDC gesteuert. Tabelle [B.2](#) beschreibt Aufbau und Funktion dieses Registers. Der Adreßzähler des Auslesekontrollers befindet sich an der Adresse AC00hex. Zum Zugriff auf den DAC des Motherboardes dient die Adresse 9C00hex.

Adresse der Funktion	Beschreibung
Memory Modus	
8800	Start Adresse des Daten Memorys
C800	Start Adresse des Adress Memorys
F800	Lesen oder Schreiben von TDC - Registern über das Memory
Direkter Modus	
9400	Lesen oder Schreiben von TDC - Registern im direkten Modus
Control Modus	
8C00	Control Register
FC00	Reset der Control Logik
AC00	Adreßzähler
EC00	Reset des Adresszählers
9C00	Zugriff auf DAC
DC00	Reset des DAC

Tabelle B.1: Diese Codes müssen zur Speicheradresse der B2SIT Karte von der VME-CPU aus gesehen hinzuaddiert werden, um die assoziierten Funktionen auszulösen

Bit	Beschreibung
0	Token 1 senden
1	Token 2 senden
2	Token 1 an Board 2
3	Control Register / Zeitdaten Register
5	Lesen / Schreiben
6	Chip Select / Token Mode
7	Initialisieren
9	Abschalten / Einschalten der Messeinheit
10	Reset der Chipkette
12	Einschalten des Zählers
13	Token zurückgekommen

Tabelle B.2: Aufbau des Kontrollregisters auf dem B2SIT Board. Durch Setzen der entsprechenden Bits werden die Pegel am TDC gesetzt, wodurch dieser die entsprechenden Funktionen aktiviert.

Anhang C

Klassenbibliothek für die TDC - Tests

C.1 Problemstellung

Als Rechner kam bei den Tests der TDC - Chips ein EUROCOM 7 von Eltec-Elektronik zum Einsatz. Dieser Rechner ist zum direkten Einsatz in einem VME-Überrahmen vorgesehen. Über den VME-Bus ist er mit den anderen VME-Modulen im Überrahmen verbunden. Die Logik des Prozessorboards bildet die Module in den Adreßraum des Prozessors ab. Dadurch kann über ihre Adresse direkt auf ihre Funktionen zugegriffen werden. Des weiteren wurde auch von der Möglichkeit Gebrauch gemacht, die Funktionalität eines CAMAC-Bussystems in den Adreßraum des Prozessors abzubilden. Dies geschieht mittels einer sogenannten VSB- Schnittstelle.

Als Betriebssystem verwendet der Prozessor ein Echtzeit-UNIX-System. Dies stellt an die Programmierung des Hardwarezugriffs besondere Anforderungen. Unter UNIX gelten strenge Sicherheitsregelungen. Diese verbieten es z.B. einem Programm, direkt auf eine Hardwareadresse zuzugreifen. Bei einem VME-Modul läßt sich die Basisadresse in der Regel über Schalter einstellen. Um die einzelnen Funktionen des Moduls anzusprechen, muß nur noch der Offset der Funktion zur Basisadresse hinzuaddiert werden.

$$\text{Funktionsadresse} = \text{Basisadresse} + \text{Funktionsoffset} \quad (\text{C.1})$$

Durch Zugriff auf die Adresse kann dann die entsprechende Funktion genutzt werden. Die Basisadressen der VME - Module liegen aber meistens im Bereich des vorhandenen Speichers. Ein direkter Zugriff auf diese Adresse würde also zu einer Schutzverletzung führen, da versucht wird, auf einen Speicherbereich zuzugreifen, der dem Programm nicht gehört.

Deshalb muß vor dem Zugriff auf die Adresse des Moduls erst ein Speicherbereich vom Programm angefordert werden, der diese Adresse enthält. Dies geschieht mit einer Funktion des Betriebssystems, die die Adresse eines Speicherbereiches zurückgibt, der die benötigte Adresse enthält. Dieser Speicherbereich bleibt dem Programm bis zu seinem Ende erhalten, sofern es ihn nicht explizit zurückgibt. Für den CAMAC-Bus gilt prinzipiell das gleiche, nur wird hier die Adresse etwas anders gebildet. Während im VME-Bus jedes Modul die anliegende Adresse decodiert und danach entscheidet, ob es angesprochen ist, wird im CAMAC über die Adresse ein fester Einschubplatz angesprochen. Bei der Bildung der Adresse muß also bekannt sein, an welchem Platz im CAMAC-Bussystem das angesprochene Modul steht. Die Funktionen in einem CAMAC-Modul können mehrere Subfunktionen haben, die ebenfalls über einen Offset zur Adresse angesprochen werden.

$$\text{Funktionsadresse} = 0x400 * \text{Station} + 0x40 * \text{Funktion} + 0x4 * \text{Adresse} \quad (\text{C.2})$$

Die Zahlenangaben sind in hexadezimaler Schreibweise der Programmiersprache C angegeben. Durch die Multiplikation wird der zugehörige Wert soweit nach links verschoben, daß er an der richtigen Stelle in der Adresse sitzt. Durch Addieren dieser Adresse zum Rückgabewert der erwähnten Betriebssystemfunktion ergibt sich die Adresse, unter der der Prozessor auf die gewünschte Funktion zugreifen kann.

C.2 Realisierung

Bei der objektorientierten Programmierung besteht die Hauptschwierigkeit darin, einen Kompromiß zwischen der Verständlichkeit des entstandenen Codes und der Flexibilität zu finden. Damit der Code flexibel ist, werden die Aufgaben auf soviele Klassen wie möglich verteilt. Dadurch entstehen aber Abhängigkeiten, die den unerfahrenen Anwender verwirren können. Da innerhalb der HADES-Gruppe bisher nur wenig Erfahrung mit C++ und objektorientierter Programmierung vorhanden ist, wurde bei der Entwicklung der Klassen mehr Wert auf Verständlichkeit gelegt. In Tabelle C.1 sind die Klassen und ihre Aufgaben zusammengefaßt.

Die Klasse **Crate** stellt den Speicherblock für den Zugriff auf die Funktionen eines Moduls bereit. Zu diesem Zweck ruft sie eine Funktion des Betriebssystems auf, der sie die Adresse des gewünschten Hardwarebereiches und die erforderliche Größe übergibt. Die Funktion erhält dann einen Zeiger auf den angeforderten Speicherbereich zurück.

Klassen Name	Aufgabe
Camac	Bereitstellen des Speicherblocks für den Zugriff auf die Module
Crate	Basisklasse für den Zugriff auf VME - und CAMAC - Module
Sat	Konkrete Klasse für SAT - Module (VME - Modul)
Tdc	Konkrete Klasse für TDC erweitert Sat um Funktionen zum Zugriff auf das Motherboard
BIRA5305	Konkrete Klasse erweitert Camac um die Funktionen des Bira ADC 5305
OTD2228A	Konkrete Klasse erweitert Camac um die Funktionen des LeCroy TDC 2228A

Tabelle C.1: *Klassen, die für den Test der TDC's entwickelt wurden.*

Die Klasse **Camac** verwaltet die Module eines CAMAC - Bussystems. Pro Bussystem wird nur ein Speicherblock angefordert. Dazu bedient sich die Klasse der Funktionen der Klasse **Crate**, von der sie abstammt. **Camac** dient als Basisklasse für konkrete Klassen, die jeweils ein spezielles CAMAC - Modul beschreiben. Eine solche Klasse ist **BIRA5305**. Sie stellt die Funktionen des BIRA ADC 5305 zur Verfügung. Zusätzlich wurde noch die Klasse **OTD228A** implementiert. Sie stellt die Funktionen zum Zugriff auf einen LeCroy 2228A TDC bereit. Vorgesehen war der Einsatz dieses TDC's zum Zweck der Referenzmessung. Es hat sich aber herausgestellt, daß dies nicht nötig ist. Alle Informationen ließen sich auch aus den Daten des zu testenden TDC's ermitteln.

Die Klasse **Sat** implementiert die Funktionen zum Zugriff auf den GTB - Port des SAT - Modules. Das SAT - Modul ist eine Schnittstelle zwischen dem VME - Bus und dem GTB¹ - Bus. Beide wurden an der GSI entwickelt. Der GTB - Bus ist in der Lage Entfernungen bis zu 70 m zu überbrücken. Das SAT - Modul stellt außer der Ausgabe zweier Statusbits über ein Kontrolregister keine Funktionen bereit. Die Klasse muß daher für jedes angeschlossene Gerät konkretisiert werden. Die Klasse **TDC** ist eine konkrete Klasse von **Sat**. Sie erweitert die Klasse **Sat** um die Funktionen des Auslesekontrollers. Zu diesen gehört auch der direkte Zugriff auf die TDC - Register.

¹Geräte Treiber Bus

Anhang D

Initialisierungsregister des TDC's

Der TDC besitzt vier Register, mit denen die Eigenschaften des Chips beeinflusst werden können. Dabei entscheiden nur die ersten beiden Register die Eigenschaften von Mess- und Schnittstellenteil. Die beiden anderen Register sind für die Auswahl der einzelnen Kanäle zuständig.

Nicht alle diese Optionen sind im GSI - Modus auch zugänglich. Da hier die Bits 10 und 11 des Adreßbus fest auf "LOW" gelegt sind, ist nur die Auswahl zwischen einem und zwei Hits möglich. Außerdem ist der Common - Modus fest auf Common - Stop eingestellt. In Tabelle [D.1](#) sind die Bedeutungen der einzelnen Bits der ersten beiden Initialisierungsregister aufgeschlüsselt. Tabelle [D.2](#) erläutert die Bedeutung der Bits im dritten und vierten Initialisierungsregister.

¹Dieses Bit wird nach dem Ende der Kalibration nicht automatisch zurückgesetzt. Eine manuelle Zurücksetzung ist daher erforderlich, falls eine sofortige Wiederholung der Kalibrierung gewünscht wird. Die Kalibrierung startet in dem Moment wie dieses Bit auf "1" gesetzt wird.

Steuerregister 0		Steuerregister 1	
Bit	Funktion	Bit	Funktion
9	Token Auswahl 0 : Ausgang Token 1 1 : Ausgang Token 2	11 - 9	Hit - Anzahl 000 : 1 Hit 001 : 2 Hit 010 : 3 Hit 011 : 4 Hit 100 : 5 Hit 101 : 6 Hit 110 : 7 Hit 111 : 8 Hit
8 - 6	Schnittstellengeschwindigkeit 000 : 240 ns 001 : 200 ns 010 : 160 ns 011 : 120 ns 100 : 100 ns 101 : 80 ns 110 : 60 ns 111 : 40 ns	8	Auswahl Common Mode 0 : Common Stop Mode 1 : Common Start Mode
5	Null - Unterdrückung 0 : An 1 : Aus	7	Auswahl der Flanke für Common Pulse 0 : erste Flanke 1 : zweite Flanke
4 - 2	Spitzenunterdrückung 000 : Aus 100 : 8 ns(typisch) 101 : 13 ns 110 : 18 ns 111 : 23 ns	6 - 5	Flanken Auswahl für Start Pulse 00 : kein Trigger 01 : zweite Flanke 10 : erste Flanke beide Flanken
		4	Kalibration 0 : keine Kalibration 1 : Start der Kalibration ¹
		3 - 2	Auswahl des Meßbereiches 00 : 11 Bit (500 ns - 600 ns) 01 : 12 Bit (1,0µs - 1,1µs) 10 : 13 Bit (2,0µs - 2,1µs) 11 : 14 Bit (3,0µs - 8,2µs max)

Tabelle D.1: TDC - Steuerregister 0 und 1

Steuerregister 2		Steuerregister 3	
Bit	Funktion	bit	Funktion
9 - 2	Auswahl der Kanäle für Kalibration 0 : keine Kalibration des Kanals 1 : Kalibration des Kanals	9 - 2	Auswahl der Kanäle 0 : Kanal ausgeschaltet 1 : Kanal angeschaltet

Tabelle D.2: TDC - Steuerregister 2 und 3

Literaturverzeichnis

- [Elz76] Th. Elze. *Digital - Elektronik (Vorlesung)*, volume IKF - IB 76. Institut für Kernphysik Frankfurt/M, 1976. [A.1](#)
- [Gar] Chilo Garabatos. Private Mitteilungen.
- [Git94] Peter Gitzel. Entwicklung und Erprobung von Software zur Aulese und Steuerung des TDC2001 Systems. Diplomarbeit, Institut für Kernphysik Johannes Gutenberg - Universität Mainz, 1994. [5.3](#), [5.2](#), [6.1](#), [6.6.2](#), [6.6.3](#), [6.6.4](#)
- [Gle96] Fa. Gleichmann. *Funktionsbeschreibung für den HADES Drift Chamber TDC*, September 1996. [5.1](#), [5.3](#), [5.4](#), [6.6.2](#)
- [Hof95] Hoffmann, J., Schall, D. *Specifications for the HADES Drift Chamber TDC*. Gesellschaft für Schwerionenforschung, Darmstadt, Juli 1995. [1](#)
- [Kar93] Walter Karig. Konzeptionelle Untersuchung eines Dielektronenspektrometers für Schwerionenstöße im GeV/u - Bereich. Diplomarbeit, Institut für Kernphysik, Johann Wolfgang Goethe - Universität Frankfurt, 1993. [24](#)
- [Kas96] Anton Kastenmüller. HADES DAQ Basic principles. unpublished, Oct. 1996. [10](#), [3.3.6](#)
- [Kü] Wolfgang Kühn. Private Mitteilungen. [3.2](#)
- [Kum95] Jörg Kummer. Skript zur Vorlesung „Elektronik“, 1994/95.
- [Lin] Erik Lins. DTU. Private Mitteilungen.
- [Mos97] U. Mosel. Hadrons in medium - observables. In *Proc. QCD Phase Transitions, Hirschegg 97*, 1997.
- [Sau77] F. Sauli. Principles of Operation of Multiwire Proportional and Drift Chambers. Technischer report, CERN, May 1977. [14](#)

- [Sch95] Heike Schön. *HADES, Ein Dielektronenspektrometer hoher Akzeptanz für relativistische Schwerionenkollisionen*. Dissertation, Institut für Kernphysik der Johann Wolfgang Goethe - Universität in Frankfurt am Main, 1995. [2.1](#), [2.2](#), [13](#), [2.4.1](#), [2.4.5](#), [3.1](#), [24](#)
- [Ste97] Achim Steigerwald. Aufbau und Betrieb eines Silizium - Mikrostreifen - Detektor - Systems zu Testmessungen am HADES - Driftkammer - Prototypen. Diplomarbeit, Institut für Kernphysik Johann Wolfgang Goethe - Universität Frankfurt am Main, 1997. [2.4.4](#)
- [Str97a] Joachim Stroth. Hades tracking detector. unpublished, Sept. 1997. [2.4](#)
- [Str97b] Joachim Stroth. MDC Readout Konzept. HADES Kollaboration Intern, 1997. [3.1](#), [3.1](#)
- [Wal93] Walter Blum, Luigi Ronaldi. *Particle Detection with Drift Chambers*. Springer Verlag, Berlin, Heidelberg, 1993. [14](#)
- [Win93] L. Winckelmann. et al. *Phys. Lett. B298(1993) 22*, 1993. Nato Advanced Study, Bodrum 1993. [1](#)
- [Wol93] Gy. Wolf. G.Batko & U.Mosel. *Nucl. Phys.552(1993) 547*, 1993. [1](#)
- [Zen97] Alfred Zentek. Konzeptionelle Untersuchungen für die HADES Driftkammern am Prototyp 0. Diplomarbeit, Institut für Kernphysik Johann Wolfgang Goethe - Universität Frankfurt am Main, 1997. [14](#), [2.4.4](#), [2.6](#), [2.8](#)

Danksagung

An dieser Stelle möchte ich mich bei allen bedanken, die zum Gelingen dieser Arbeit beigetragen haben.

Mein besonderer Dank gilt Herrn Prof. Dr. K. Bethge für die Aufnahme in das Institut für Kernphysik.

Herrn Prof. Dr. H. Bokemeyer danke ich sehr für die Aufnahme in die HADES/Leptonengruppe, die Erstellung meiner Aufgabe für diese Arbeit und deren intensive Betreuung.

An Dr. J. Stroth geht ein Dankeschön für die Aufnahme in die Driftkammergruppe und die reichhaltige Hilfestellung.

Dr. C. Garabatos danke ich für die lehrreichen Diskussionen über die Physik der Driftkammern.

Dank auch an Dipl. phys. W. Karig für die Hilfe bei den Simulationen zur Auslastung der Auslesebusssysteme.

Allen Mitgliedern der Driftkammergruppe danke ich dafür, daß sie jederzeit bereit waren, meine Fragen zu diskutieren.

Für die gute Zusammenarbeit und die Hilfe beim Aufbau des Testsystems gilt mein Dank J. Hoffmann, F. Schäfer und D. Schall der Elektronikabteilung der GSI.

T. Bretz danke ich für die Unterstützung bei der Durchführung der Testmessungen.

Zuletzt gilt besonderer Dank meinen Eltern, die mir dieses Studium ermöglicht haben.